

© 2021 г. Д.В. ЕФАНОВ, д-р техн. наук (TrES-4b@yandex.ru)
(Российский университет транспорта, Москва),
В.В. САПОЖНИКОВ, д-р техн. наук (port.at.pgups@gmail.com),
Вл.В. САПОЖНИКОВ, д-р техн. наук (at.pgups@gmail.com)
(Петербургский государственный университет путей сообщения
Императора Александра I, Санкт-Петербург)

ОТКАЗОУСТОЙЧИВЫЕ СТРУКТУРЫ ЦИФРОВЫХ УСТРОЙСТВ НА ОСНОВЕ ЛОГИЧЕСКОГО ДОПОЛНЕНИЯ

Предложены новые отказоустойчивые структуры, имеющие в своем составе только один комплект исходного устройства, в отличие от известных структур с двойной и тройной модульной избыточностью. Для выбора корректируемых функций в новых структурах используется блок фиксации искаженных сигналов, строящийся на основе метода логического дополнения с контролем вычислений по паритету. Приведена обобщенная структура с коррекцией сигналов на основе логического дополнения, позволяющая получать наиболее простые отказоустойчивые цифровые устройства. Даны алгоритмы синтеза блоков фиксации искаженных сигналов, а также примеры их применения.

Ключевые слова: комбинационное устройство автоматики, отказоустойчивая структура, структура с тройной модульной избыточностью, структура с двойной модульной избыточностью с контролем вычислений, коррекция ошибок с контролем по коду паритета, метод логического дополнения.

DOI: 10.31857/S0005231021080079

1. Введение

При построении систем автоматики широко применяются методы обнаружения и коррекции ошибок в вычисленных значениях рабочих функций блоков и компонентов [1–4]. Использование схем коррекции требует внесения значительной избыточности, что определяется необходимостью сравнения результатов вычислений сразу от нескольких устройств. Например, широко известна мажоритарная схема коррекции, имеющая три идентичных вычислительных блока [5–11], а также ее модификации [12–14]. Коррекция сигналов может проводиться на различных уровнях архитектуры управляющей системы, в том числе на уровне памяти, арифметико-логических составляющих и т.д.

В [15, 16] рассмотрены отказоустойчивые структуры для устройств комбинационной логики, основанные на использовании известного метода логического дополнения [17–19]. Данный метод подразумевает преобразование значений рабочих функций в значения специальных контролепригодных функций с использованием каскада сумматоров по модулю два (элементов XOR) по правилу:

$$(1) \quad h_i = f_i \oplus g_i, \quad i = \overline{1, m},$$

где f_i — i -я рабочая функция, g_i — функция дополнения, h_i — контролепригодная функция.

Метод логического дополнения эффективно применяется при организации самопроверяемых схем встроенного контроля комбинационных устройств автоматики по признакам принадлежности формируемых функций к функциям специального вида (например, принадлежности формируемых кодовых слов на выходах каскада преобразующих сумматоров избыточному равномерному коду [20–22], принадлежности функций h_i классу самодвойственных функций [23, 24] или же и тому и другому свойству [25, 26]).

Исследования показывают, что эффективным является использование метода логического дополнения при организации отказоустойчивых структур цифровых устройств. Таким образом, цель статьи – показать принципиальную возможность синтеза отказоустойчивых устройств с меньшей структурной избыточностью, чем при использовании традиционной структуры с тройной модульной избыточностью, на основе использования схем встроенного контроля и логического дополнения для фиксации искажаемых сигналов на выходах объекта диагностирования, а также привести отказоустойчивые структуры для синтеза таких устройств. Рассмотрим их подробнее.

2. Отказоустойчивые структуры на основе двойной модульной избыточности

Наиболее распространенной отказоустойчивой структурой является структура, основанная на принципе тройной модульной избыточности (*TMR*-структура) с мажоритарной коррекцией сигналов [27]. Тройная избыточность структуры необходима для наделения ее свойством нечувствительности к проявлениям неисправностей в исходном устройстве в виде искажений сигналов на его выходах. Использование ее на практике приводит к существенному увеличению сложности технической реализации конечного устройства. Кроме того, приведенная структура имеет недостаток, связанный с невозможностью идентификации неверно функционирующего устройства без введения дополнительных устройств контроля.

При разработке структуры с мажоритарным принципом коррекции может возникнуть несколько случаев. Первый случай — когда исходное устройство $F(x)$ дается разработчику в неизменяемом виде, а его задача состоит в разработке отказоустойчивой системы, при этом разработчик может пользоваться точными копиями данного устройства. Второй случай — когда имеется возможность оптимизации двух дополнительных копий устройства $F(x)$ в процессе разработки отказоустойчивой системы. Третий случай — когда возможна оптимизация самого устройства $F(x)$ и его копий. Очевидно, что из трех вариантов наименьшую структурную избыточность будет давать последний. Для типовых отказоустойчивых структур, таким образом, имеет смысл введение понятия *структуры с минимальной избыточностью* — такой структуры, которая будет для выбранного варианта внесения избыточности давать наименьшую сложность технической реализации.

Для создания отказоустойчивой структуры может быть применена структурная схема, включающая в себя вместо трех копий исходного объекта только две. При этом один из комплектов (или даже оба) снабжается схемой контроля по какому-либо диагностическому признаку. Известны варианты реализации подобных схем при нахождении обоих комплектов под нагрузкой и

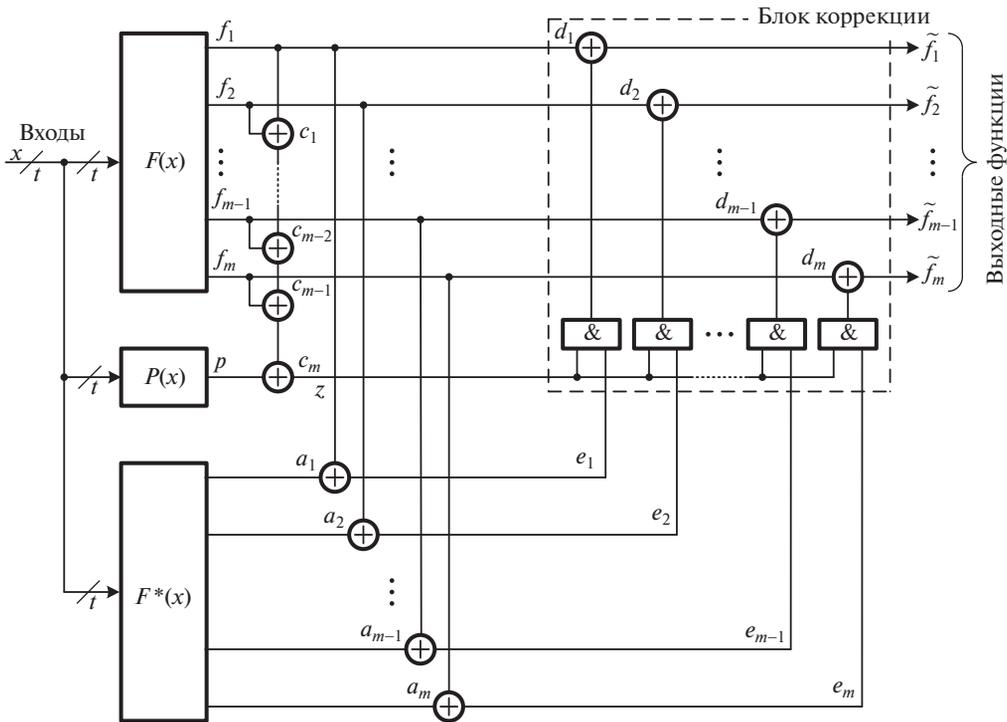


Рис. 1. Структура на основе дублирования с контролем основного комплекта.

нахождении одного комплекта под нагрузкой, а второго — в горячем резерве [27]. Для случая отказоустойчивых комбинационных схем целесообразно использовать вариант с постоянно нагруженными комплектами $F(x)$ и $F^*(x)$ с контролем вычислений одного из них. На рис. 1 и 2 приведены такие структуры. В первом случае контролируются вычисления основным комплектом, а во втором — дополнительным.

Если отходить от известного принципа тройной модульной избыточности при реализации отказоустойчивого устройства, то необходимо решать следующие задачи.

Первая и основная задача состоит в необходимости восстановления правильных значений искаженных выходных функций основного устройства $F(x)$. В структуре с двойной модульной избыточностью для решения этой задачи используется блок коррекции сигналов, включающий в себя m элементов сложения по модулю два (XOR) $d_1, d_2, \dots, d_{m-1}, d_m$, выходы которых фактически являются и выходами всего устройства, а входы — с выходами основного блока $F(x)$ и с выходами элементов логического умножения (AND). Последние непосредственно формируют логические сигналы, восстанавливающие правильные значения искаженных значений сигналов на выходах основного блока. Ошибки в вычислениях, возникающие в результате неисправностей элементов блока коррекции сигналов, не исправляются, также как и выходных мажоритарных элементов, используемых в структурах с тройной модульной избыточностью [27].

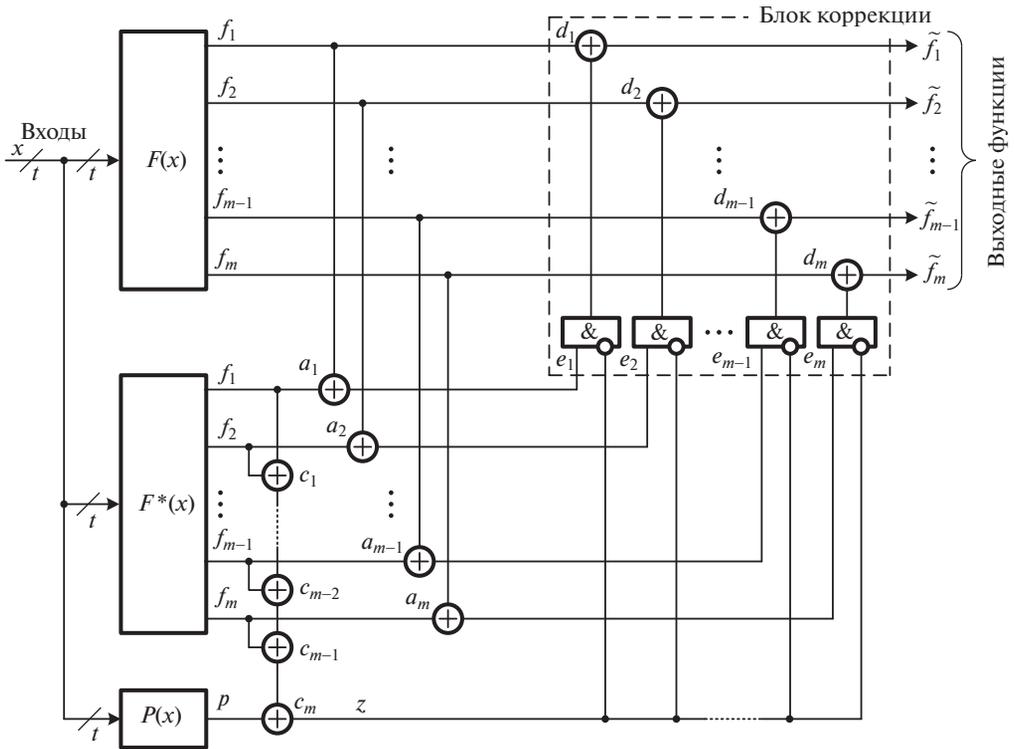


Рис. 2. Структура на основе дублирования с контролем дополнительного комплекта.

Вторая задача заключается в необходимости определения тех выходов основного блока $F(x)$, на которых в результате неисправностей элементов в его структуре реализуются ошибочные функции. С этой целью в структуры рис. 1 и 2 вводится второй блок $F^*(x)$ как копия основного блока $F(x)$ и элементы сложения по модулю два $a_1, a_2, \dots, a_{m-1}, a_m$, на которых сравниваются сигналы с одноименных выходов блоков $F(x)$ и $F^*(x)$. Активные сигналы, возникающие на выходах этих элементов, свидетельствуют о наличии неисправностей в одном из блоков.

Коррекция логических сигналов в блоке коррекции должна осуществляться только в том случае, если неисправным является основной блок $F(x)$. Фиксация факта отказа этого блока является третьей задачей. В структуре рис. 1 она решается путем контроля исправности основного блока $F(x)$ при помощи схемы паритета (блок $P(x)$ и элементы сложения по модулю два $c_1, c_2, \dots, c_{m-1}, c_m$) [28], а в структуре рис. 2 – путем контроля исправности дополнительного блока $F^*(x)$ по тому же принципу. Выходная функция f_i в схеме рис. 1 корректируется только в том случае, когда $z = 1$ (блок $F(x)$ неисправен). В схеме рис. 2 выходная функция f_i корректируется только в том случае, когда функция $z = 0$ (блок $F^*(x)$ исправен) и на выходе элемента сложения по модулю два a_i присутствует сигнал 1.

Представленные на рис. 1 и 2 структуры во многих случаях позволяют синтезировать более простые отказоустойчивые дискретные устройства, чем

по структурной схеме с тройной модульной избыточностью. Следует отметить, что при построении структур, приведенных на рис. 1 и 2, также как и в схеме с тройной избыточностью, возможны варианты с оптимизацией второго устройства $F(x)$, а также обоих устройств, что еще больше уменьшит сложность технической реализации системы «дублирование с коррекцией». В последнем случае будет получена *структура дублирования с минимальной избыточностью*.

Покажем, что принципиально возможно построение таких отказоустойчивых структур, которые в своем составе содержат только одно исходное устройство $F(x)$, что позволяет для определенных схем уменьшить сложность технической реализации по сравнению со структурами с тройной и двойной модульной избыточностью, имеющими минимальную избыточность.

3. Отказоустойчивые структуры на основе логического дополнения

Известные способы реализации отказоустойчивых структур на основе двойной и тройной модульной избыточности обладают двумя существенными недостатками. Во-первых, при их построении для конкретного устройства $F(x)$ возможна только единственная реализация (если не учитывать все варианты с оптимизацией структур копий исходного объекта и дополнительных блоков и элементов). А во-вторых, не учитываются особенности самого блока $F(x)$, состав его функциональных элементов и конфигурации связей, в конечном итоге влияющих на характеристики булевых функций $f_1, f_2, \dots, f_{m-1}, f_m$. Учесть указанные недостатки можно путем использования принципа логического дополнения в процессе синтеза отказоустойчивого цифрового устройства [18], являющегося развитием описанного в [28] метода контроля функционирования устройств по паритету. Как показано в [19–22] на примере синтеза схем встроенного контроля возможна реализация нескольких вариантов структур с различной сложностью, среди которых может быть выбран наилучший по заданному критерию (например, по критерию минимальных показателей сложности технической реализации).

На рис. 3 и 4 приведены две новые отказоустойчивые структуры, при построении которых используется принцип логического дополнения. В данных структурах используются блок фиксации искаженных сигналов (ФИС), схема контроля по паритету и аналогичный блок коррекции сигналов (КС), использующийся и в представленных на рис. 1 и 2 структурах с двойной модульной избыточностью.

Принципиально по-новому в представленных структурах решается задача выявления тех выходов блока $F(x)$, на которых имеет место искажение правильного сигнала. Для этого в обеих структурах используется блок ФИС.

В структуру блока ФИС для схемы, приведенной на рис. 3, входит блок логического дополнения $G(x)$, на выходах которого вычисляются специальные функции дополнения $g_1, g_2, \dots, g_{m-1}, g_m$. Последние сравниваются с одноименными функциями выходов блока $F(x)$ при помощи элементов сложения по модулю два $a_1, a_2, \dots, a_{m-1}, a_m$, на выходах которых вычисляются функции сравнения $q_1, q_2, \dots, q_{m-1}, q_m$. Блок ФИС включает в себя также блок коррекции функций сравнения $R(x)$, вычисляющий функции $r_1, r_2, \dots, r_{m-1}, r_m$, которые выбираются с таким расчетом, чтобы на выхо-

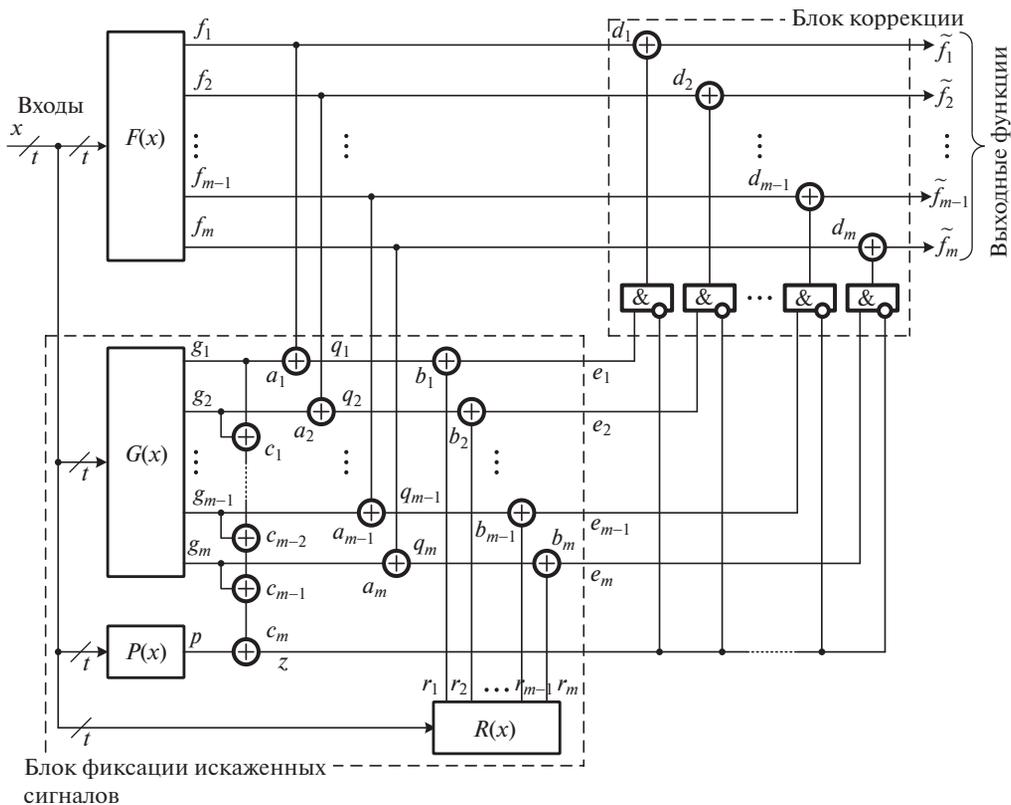


Рис. 4. Структура на основе логического дополнения с контролем блока дополнения.

В отличие от структуры, приведенной на рис. 3, в структуре, изображенной на рис. 4, не контролируются вычисления в блоке основной логики $F(x)$. В ней контролируются вычисления в самом блоке ФИС. С этой целью блок логического дополнения $G(x)$ дополняется схемой контроля по паритету (аналогично схеме контроля вычислений в блоке основной логики). При возникновении неисправности в блоке $G(x)$ или в каком-либо из элементов сложения по модулю два и блока $P(x)$ фиксируется значение сигнала $z = 1$. Этот сигнал поступает на входы элементов AND блока коррекции сигналов и инвертируется, что исключает ложную коррекцию сигналов. Это справедливо при условии, что одновременно возможно возникновение неисправности только в одном из блоков структуры.

Так как блок логического дополнения $G(x)$ может быть реализован большим числом способов, в структуре, приведенной на рис. 4, возможно уменьшение сложности блока паритета $P(x)$ по сравнению с аналогичным блоком в схеме, изображенной на рис. 3.

При синтезе блока ФИС необходимо определить функции $g_1, g_2, \dots, g_{m-1}, g_m$ и $r_1, r_2, \dots, r_{m-1}, r_m$. Из (2) следует, что $g_i = f_i \oplus r_i$. Каждая функция r_i может быть выбрана произвольным образом независимо от того, какими являются функции f_i и g_i . От выбранного варианта функции r_i зависит сложность реализации функции g_i . При этом никакой зависимости

между функциями g_i и r_i с различными индексами i не существует. По этой причине задача получения структуры блока ФИС с наименьшей сложностью может быть решена следующим образом. Для каждой пары функций (g_i, r_i) путем подбора функции r_i находится вариант с наименьшей сложностью обеих функций. Затем блоки $G(x)$ и $R(x)$ описываются наборами соответствующих функций и осуществляется оптимизация структуры каждого блока в отдельности (возможна и совместная оптимизация обоих блоков).

При реализации структур рис. 3 и 4 для любого блока $F(x)$ существует большое число вариантов выбора набора функций $\{r_1, r_2, \dots, r_{m-1}, r_m\}$, при которых достигается свойство отказоустойчивости. Поэтому возможен выбор варианта, при котором обеспечивается минимальная сложность блока ФИС.

Особым вариантом набора функций $\{r_1, r_2, \dots, r_{m-1}, r_m\}$ является вариант, в котором каждая функция приравнивается к какой-либо (любой) входной переменной $x_1, x_2, \dots, x_{t-1}, x_t$. В этом случае реализация блока $R(x)$ не требует аппаратных затрат (он фактически является коммутатором входных сигналов).

Элементы блока коррекции сигналов следует реализовать в виде высоконадежных устройств с резервированием внутренних компонентов [27]. Отметим также, что обе структуры могут быть дополнены элементом, на выходе которого реализуется функция $v = z \vee e_1 \vee e_2 \vee \dots \vee e_m$ и формируется сигнал о наличии неисправности в схеме контроля и/или блока ФИС при исправном основном блоке $F(x)$.

Корректирующая способность всех рассмотренных выше структур (рис. 1–4) ограничивается тем, что при помощи паритета обнаруживаются только те неисправности в блоке $F(x)$, которые искажают значения сигналов на нечетном числе выходов блока, что следует из свойств функции паритета [29]. Для улучшения корректирующей способности могут быть использованы различные подходы. Например, может быть выбран способ контроля вычислений, при котором возможна идентификация большего числа ошибок, чем в схеме контроля по паритету. Такой эффект достигается при использовании равномерных блочных кодов, например классических кодов с суммированием (кодов Бергера) и их модификаций [30, 31]. Другим способом является модификация внутренней структуры блока $F(x)$, если это допустимо, либо же контроль отдельных групп независимых выходов на основе отдельных подсхем паритета [32–35].

Рассмотрим пример синтеза блока ФИС для структуры рис. 3 (для структуры рис. 4 задача решается аналогично) для комбинационного устройства автоматики, заданного следующими функциями:

$$(3) \quad \begin{cases} f_1 = x_1 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_4 \vee \bar{x}_1 x_2 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 \vee \bar{x}_1 x_3 \bar{x}_4; \\ f_2 = \bar{x}_1 x_2 x_3 \vee x_1 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 \vee \bar{x}_1 \bar{x}_2 \bar{x}_3 \vee x_1 x_2 \bar{x}_3 x_4; \\ f_3 = \bar{x}_3 x_4 \vee x_1 x_2 x_4 \vee x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 \bar{x}_4; \\ f_4 = x_1 \bar{x}_2 x_3 \vee x_1 x_2 x_4 \vee x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 x_3 \vee \bar{x}_1 \bar{x}_2 x_4; \\ f_5 = \bar{x}_1 \bar{x}_2 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 \vee x_1 x_2 \bar{x}_3 \vee x_1 \bar{x}_2 x_3 x_4. \end{cases}$$

Рассмотрим решение поставленной задачи пошагово, приведя один из возможных алгоритмов [15, 16].

Таблица 1. Описание отказоустойчивой структуры с контролем основного комплекта для рассматриваемого примера

$x_1x_2x_3x_4$	$f_1f_2f_3f_4f_5$	p	$g_1^j = f_1 \oplus x_j$	$g_2^j = f_2 \oplus x_j$	$g_3^j = f_3 \oplus x_j$	$g_4^j = f_4 \oplus x_j$	$g_5^j = f_5 \oplus x_j$
			$g_1^1g_1^2g_1^3g_1^4$	$g_2^1g_2^2g_2^3g_2^4$	$g_3^1g_3^2g_3^3g_3^4$	$g_4^1g_4^2g_4^3g_4^4$	$g_5^1g_5^2g_5^3g_5^4$
0000	01101	1	0000	1111	1111	0000	1111
0001	01110	1	0001	1110	1110	1110	0001
0010	10111	0	1101	0010	1101	1101	1101
0011	00010	1	0011	0011	0011	1100	0011
0100	10110	1	1011	0100	1011	1011	0100
0101	00100	1	0101	0101	1010	0101	0101
0110	11001	1	1001	1001	0110	0110	1001
0111	11001	1	1000	1000	0111	0111	1000
1000	11000	0	0111	0111	1000	1000	1000
1001	10100	0	0110	1001	0110	1001	1001
1010	11010	1	0101	0101	1010	0101	1010
1011	01011	1	1011	0100	1011	0100	0100
1100	00111	1	1100	1100	0011	0011	0011
1101	11111	1	0010	0010	0010	0010	0010
1110	01000	1	1110	0001	1110	1110	1110
1111	00110	0	1111	1111	0000	0000	1111

Шаг 1. Для каждой из функций f_i ($i \in \{1, \dots, m\}$) определим функции коррекции $\{r_1, r_2, \dots, r_{m-1}, r_m\}$. Будем для этого использовать наиболее простой вариант — осуществим поиск переменной x_j , которая позволяет получить наиболее простое с точки зрения технической реализации выражение для функции $g_i^j = f_i \oplus x_j$. Еще раз подчеркнем, что в качестве функций $\{r_1, r_2, \dots, r_{m-1}, r_m\}$ могут использоваться произвольные функции, что также может дать эффект в уменьшении сложности реализации блока ФИС. Для каждого выхода f_i ($i \in \{1, \dots, m\}$) существует по четыре варианта формирования функций коррекции сигналов (см. табл. 1). Минимизируя функции (в данном случае использована двухуровневая оптимизация по методу Карно [27]) и выбирая наиболее простые из них, получаем систему функций алгебры логики, описывающую блок $G(x)$:

$$\begin{aligned} g_1^1 &= \overline{x_1}x_3\overline{x_4} \vee x_1x_3x_4 \vee x_2\overline{x_4} \vee x_2x_3; \\ g_2^3 &= \overline{x_1}\overline{x_2} \vee x_1x_2x_4 \vee \overline{x_2}\overline{x_3}\overline{x_4}; \\ g_3^1 &= \overline{x_1}\overline{x_3} \vee \overline{x_2}\overline{x_4} \vee x_1\overline{x_2}x_3 \vee x_1x_3\overline{x_4}; \\ g_4^2 &= \overline{x_1}x_4 \vee \overline{x_1}x_3 \vee \overline{x_2}x_3 \vee x_3\overline{x_4}; \\ g_5^1 &= \overline{x_2}\overline{x_4} \vee x_2x_3 \vee x_1\overline{x_2}\overline{x_3}. \end{aligned}$$

Сложность реализации каждой функции блока $G(x)$ можно оценить по числу входов логических элементов без учета внутренних инверсий: $L(g_1^1) = 14$, $L(g_2^3) = 11$, $L(g_3^1) = 14$, $L(g_4^2) = 12$, $L(g_5^1) = 10$.

Шаг 2. Блок $G(x)$ реализуется путем оптимизации полученных подсхем для реализации каждой из функций g_i .

Шаг 3. Определяется функция паритета p . Минимизация данной функции дает возможность синтеза блока $P(x)$:

$$p = \overline{x_1}\overline{x_3} \vee \overline{x_1}x_4 \vee x_2\overline{x_4} \vee x_2\overline{x_3} \vee x_1\overline{x_2}x_3.$$

Сложность блока $P(x)$ определяется величиной $L(p) = 16$.

Полученное устройство изображено на рис. 5.

Учитывая сложности реализации элементов сложения по модулю два и логического умножения, входящих в схему паритета и блока ФИС ($L_{XOR} = 6$ и $L_{AND} = 2$), получим значение сложности технической реализации отказоустойчивой структуры на основе логического дополнения с контролем основного комплекта:

$$\begin{aligned} L_{BC} &= L_{F(x)} + L_{G(x)} + L_{P(x)} + 4 \cdot 5L_{XOR} + 5L_{AND} = \\ &= 97 + (14 + 11 + 14 + 12 + 10) + 16 + 20 \cdot 6 + 5 \cdot 2 = 97 + 61 + 16 + 120 + 10 = 304. \end{aligned}$$

Для сравнения, сложность системы дублирования с контролем основного комплекта определяется величиной:

$$L_D = 2L_{F(x)} + L_{P(x)} + 3 \cdot 5 \cdot L_{XOR} + 5L_{AND} = 2 \cdot 97 + 16 + 15 \cdot 6 + 5 \cdot 2 = 310.$$

Сложность структуры с тройной модульной избыточностью (с учетом того, что сложность мажоритарных элементов коррекции оценивается величиной $L_{\geq 2} = 9$) равна:

$$L_{TMR} = 3L_{F(x)} + 5L_{\geq 2} = 3 \cdot 97 + 5 \cdot 9 = 336.$$

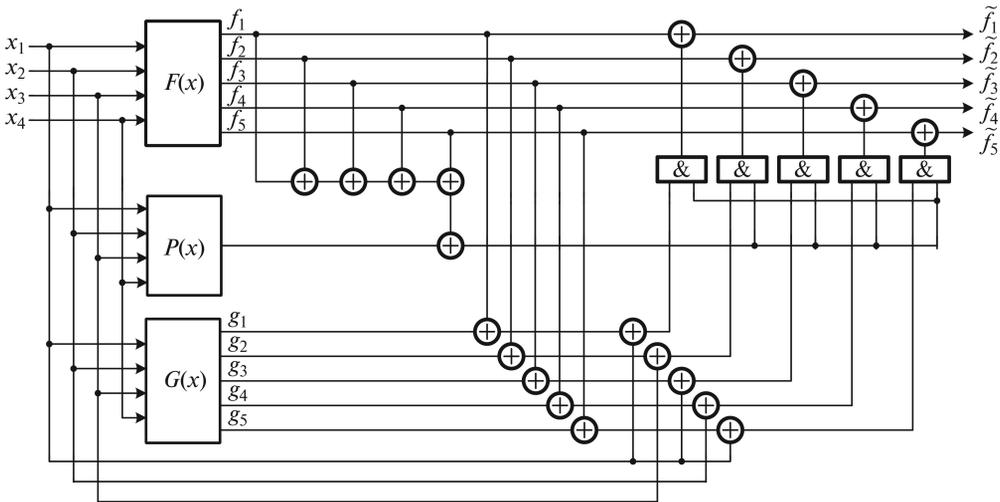


Рис. 5. Отказоустойчивое устройство для рассматриваемого примера, реализованное по структуре логического дополнения с контролем основного комплекта.

Данный пример показывает возможности построения более простых отказоустойчивых цифровых устройств по сравнению с известными методами с двойной и тройной модульной избыточностью.

4. Обобщенная отказоустойчивая структура на основе логического дополнения

На рис. 6 приведена обобщенная отказоустойчивая структура, в которой контролируется не только работа блока дополнения, но и блока вычисления функций коррекции сигналов. Данная структура реализует более общую модель, чем рассмотренные ранее структуры на основе логического дополнения.

В ней устройство $F(x)$ является исходным объектом, вычисляющим систему рабочих функций $f_1, f_2, \dots, f_{m-1}, f_m$ от t входных переменных. Для контроля правильности вычислений функций $f_1, f_2, \dots, f_{m-1}, f_m$ использован блок ФИС, в котором выделены блоки $G(x)$, $R(x)$ и $P(x)$, а также каскады сумматоров по модулю два (элементов XOR). Блоки $G(x)$ и $R(x)$ представляют собой блоки логического дополнения и коррекции сигналов. Блок $P(x)$ предназначен для формирования значения решающей функции ошибки и в данном случае формирует значение функции контроля по паритету кодового вектора, образованного на выходах $g_1, g_2, \dots, g_{m-1}, g_m$ и $r_1, r_2, \dots, r_{m-1}, r_m$ обоих блоков $G(x)$ и $R(x)$:

$$(4) \quad p = g_1 \oplus g_2 \oplus \dots \oplus g_{m-1} \oplus g_m \oplus r_1 \oplus r_2 \oplus \dots \oplus r_{m-1} \oplus r_m.$$

Значения функций $g_1, g_2, \dots, g_{m-1}, g_m$, вычисляемых блоком $G(x)$, и функций $r_1, r_2, \dots, r_{m-1}, r_m$, вычисляемых блоком $R(x)$, подбираются на этапе проектирования структуры таким образом, чтобы при штатной работе (в отсутствие неисправностей) значения функции активации коррекции (функции z) были равными 0. Неисправности в блоке $F(x)$ искажают значения функций на выходах элементов $a_1, a_2, \dots, a_{m-1}, a_m$ в блоке ФИС. Поскольку речь идет

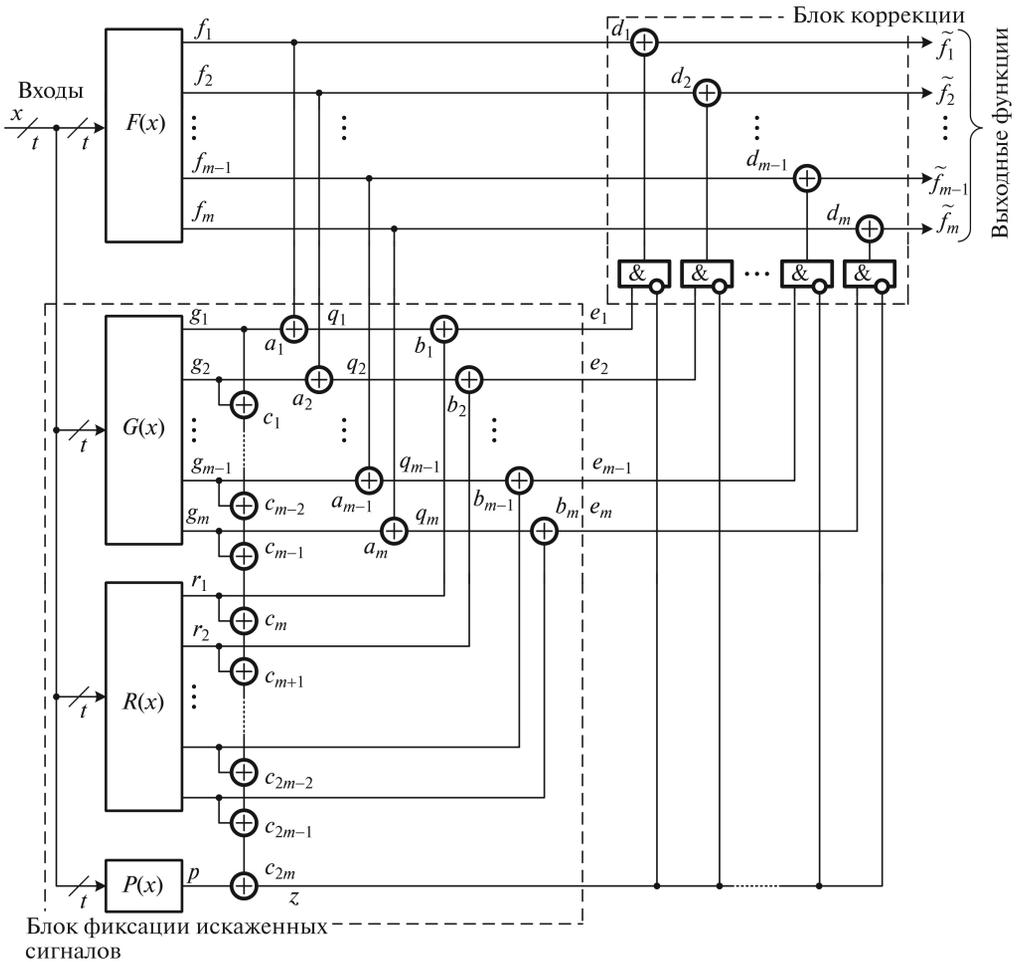


Рис. 6. Обобщенная отказоустойчивая структура.

о случае, когда одновременно возможно возникновение неисправности только в одном из блоков, функция $z = 0$, происходит коррекция сигналов. Коррекции не произойдет в том случае, если функция $z = 1$ – в этом случае будет зафиксирована неисправность в одном из блоков $G(x)$ или $R(x)$ или в одном из элементов сложения по модулю два. Коррекция сигналов производится только при наличии неисправностей в исходном устройстве $F(x)$.

Элементы блоков ФИС и коррекции сигналов являются стандартными, за исключением блоков $G(x)$ и $R(x)$. Задача построения отказоустойчивой структуры состоит как раз в синтезе этих блоков. Рассмотрим ее решение на примере реализации отказоустойчивого устройства для блока $F(x)$, заданного функциями (3).

Шаг 1. Для каждой из функций f_i ($i \in \{1, \dots, m\}$) определяется сложность ее реализации (будем также использовать в качестве показателя сложности реализации число входов внутренних логических элементов при реализации по дизъюнктивной форме без учета инверсий [27]): $L(f_1) = 20$, $L(f_2) = 25$, $L(f_3) = 15$, $L(f_4) = 20$, $L(f_5) = 17$.

Таблица 2. Описание обобщенной отказоустойчивой структуры для рассматриваемого примера

$x_1 x_2 x_3 x_4$	$r = x_1$					$r = x_2$					$r = x_3$					$r = x_4$					r_3								
	f_1	f_2	f_3	f_4	f_5	g_1	g_2	g_3	g_4	g_5	g_1	g_2	g_3	g_4	g_5	g_1	g_2	g_3	g_4	g_5	g_1	g_2	g_3	g_4	g_5	$f_2 \oplus f_3 \oplus x_3$	$f_3 \oplus f_4 \oplus x_2$	$f_1 \oplus f_3 \oplus x_1$	$f_3 \oplus f_5 \oplus x_1$
0000	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	01101	0	1	1	0	0
0001	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	01110	0	0	1	1	1
0010	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	10111	0	0	0	0	0
0011	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	00010	1	1	0	0	0
0100	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	10110	1	1	0	1	0
0101	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	00100	1	0	1	1	0
0110	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	0	1	1	1	0
0111	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	11001	0	1	1	1	0
1000	11000	00111	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	11000	1	0	0	1	1
1001	10100	01011	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	10100	1	1	1	0	1
1010	11010	00101	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	11010	0	1	0	1	1
1011	01011	10100	01011	10100	01011	10100	01011	10100	01011	10100	01011	10100	01011	10100	01011	10100	01011	10100	01011	10100	01011	10100	01011	10100	0	1	1	0	0
1100	00111	11000	00111	11000	00111	11000	00111	11000	00111	11000	00111	11000	00111	11000	00111	11000	00111	11000	00111	11000	00111	11000	00111	11000	1	1	0	1	0
1101	11111	00000	11111	00000	11111	00000	11111	00000	11111	00000	11111	00000	11111	00000	11111	00000	11111	00000	11111	00000	11111	00000	11111	00000	0	1	1	1	0
1110	01000	10111	01000	10111	01000	10111	01000	10111	01000	10111	01000	10111	01000	10111	01000	10111	01000	10111	01000	10111	01000	10111	01000	10111	0	1	1	1	0
1111	00110	11001	00110	11001	00110	11001	00110	11001	00110	11001	00110	11001	00110	11001	00110	11001	00110	11001	00110	11001	00110	11001	00110	11001	0	1	0	0	1

Шаг 2. Устанавливается равенство $r_1 = r_2 = \dots = r_m = r$. А переменной r последовательно придаются значения отдельных переменных и рассчитываются функции g_i : $g_i = f_i \oplus x_j$. После этого определяется сложность реализации каждой функции g_i . В рассматриваемом примере для каждой функции g_i получаем 4 реализации соответственно четырем входным переменным (см. табл. 2).

Шаг 3. Для каждой функции g_i выбирается реализация с наименьшей сложностью и соответствующая ей функция r_i :

$$\begin{aligned} g_1^1 &= f_1 \oplus x_1 = x_2 \overline{x_4} \vee x_2 x_3 \vee x_1 x_3 x_4 \vee x_1 x_3 \overline{x_4}, \\ L(g_1^1) &= 14, \\ g_2^3 &= f_2 \oplus x_3 = \overline{x_1} \overline{x_2} \vee x_1 x_2 x_4 \vee \overline{x_2} \overline{x_3} \overline{x_4}, \\ L(g_2^3) &= 11, \\ g_3^2 &= f_3 \oplus x_2 = x_2 x_3 \overline{x_4} \vee \overline{x_1} x_2 x_3 \vee \overline{x_1} \overline{x_2} \vee \overline{x_2} \overline{x_3} x_4, \\ L(g_3^2) &= 15, \\ g_4^2 &= f_4 \oplus x_2 = \overline{x_1} x_4 \vee x_3 \overline{x_4} \vee x_1 \overline{x_2} x_3, \\ L(g_4^2) &= 10, \\ g_5^1 &= f_5 \oplus x_1 = x_2 x_3 \vee x_3 \overline{x_4} \vee x_1 \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_2} \overline{x_4}, \\ L(g_5^1) &= 14. \end{aligned}$$

Шаг 4. Для каждого выхода определяется значение разности $C_i = L(f_i) - L(g_i) - L(XOR)$, характеризующей эффект от применения дополнения по данному выходу:

$$C_1 = 2, \quad C_2 = 10, \quad C_3 = -4, \quad C_4 = 6, \quad C_5 = -1.$$

Шаг 5. Выходы ранжируются в порядке уменьшения эффекта: f_2, f_4, f_1, f_5, f_3 .

Шаг 6. Рассматривается возможность улучшения эффекта для «плохих» выходов.

В приведенном примере рассмотрим выход f_3 . Выход f_3 рассматриваем в сочетании с «хорошими» выходами, например в сочетании $f_3 - f_2$.

Установим равенство $f_3 = f_2$. Тогда в блоке $G(x)$ не требуется подсхема для реализации функции g_3 , но в блоке $R(x)$ появляется подсхема для реализации функции r_2 .

Если $g_3 = g_2$, то $f_3 \oplus r_3 = f_2 \oplus r_2$. Так как в данном случае $r_2 = x_3$, то получим $f_3 \oplus r_3 = f_2 \oplus x_3$, тогда $r_3 = f_3 \oplus f_2 \oplus x_3$.

В данном случае получаем, что $r_3 = \overline{x_1} x_2 \overline{x_3} \vee x_1 \overline{x_2} \overline{x_3} \vee x_1 \overline{x_3} \overline{x_4} \vee \overline{x_1} \overline{x_2} x_3 x_4$.

Так как $L(r_3) = 17 > L(g_3) = 15$, то рассмотренное преобразование нецелесообразно.

Улучшение дает рассмотрение пары $f_3 - f_5$:

$$\begin{aligned} r_3 &= f_3 \oplus f_5 \oplus x_1, \\ r_3 &= x_1 \overline{x_4} \vee \overline{x_1} x_2 \vee \overline{x_1} \overline{x_3} x_4 \vee x_2 \overline{x_3} x_4, \\ L(r_3) &= 14 < L(g_3) = 15. \end{aligned}$$

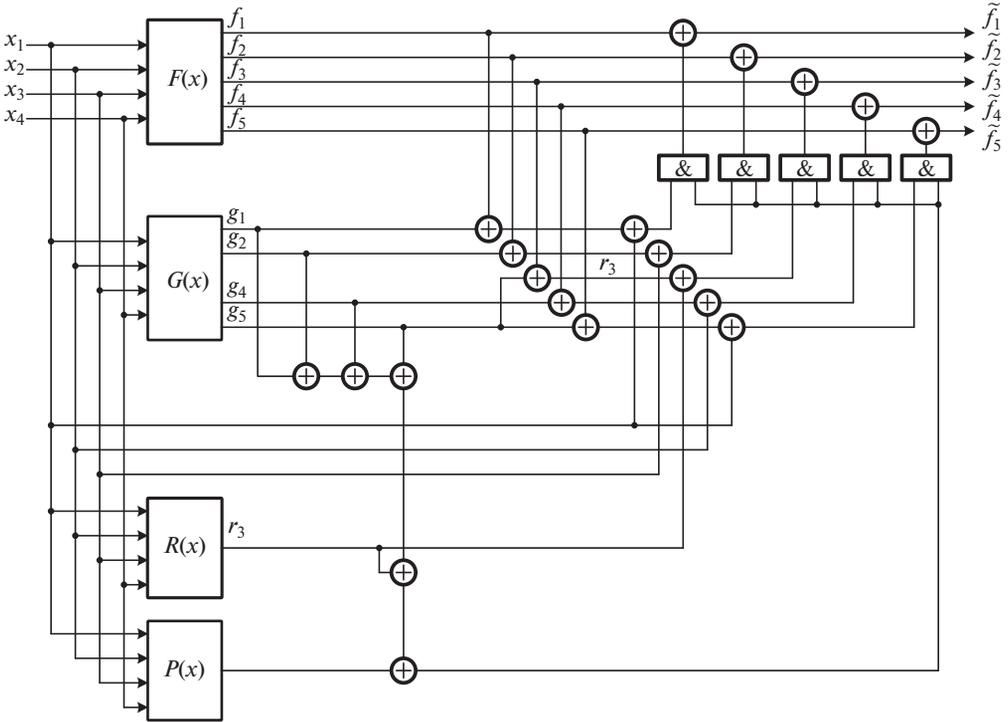


Рис. 7. Отказоустойчивое устройство для рассматриваемого примера, реализованное по обобщенной структуре на основе логического дополнения.

Шаг 7. Получаем выражение для функции паритета, реализуемой блоком $P(x)$:

$$p = x_1 \overline{x_2} \overline{x_4} \vee \overline{x_2} \overline{x_3} x_4 \vee x_1 x_2 x_3 x_4,$$

$$L_{P(x)} = 13.$$

На рис. 7 приведена отказоустойчивая структура для рассматриваемого примера. Сложность ее реализации вычисляется из значений сложности компонентов:

$$L_{GeneralBC} = L_{F(x)} + L_{G(x)} + L_{P(x)} + L_{R(x)} + 4 \cdot 5L_{XOR} + 5L_{AND} =$$

$$= 97 + (14 + 11 + 10 + 14) + 13 + 14 + 20 \cdot 6 + 5 \cdot 2 =$$

$$= 97 + 49 + 13 + 14 + 120 + 10 = 303.$$

Полученная величина сложности улучшена по сравнению с рассмотренным ранее примером на одну условную единицу. Для других примеров возможно получение еще более простых структур по обобщенной структуре на основе логического дополнения.

В отличие от способа синтеза блока ФИС, описанного в предыдущем разделе, представленный способ позволяет увеличить число вариантов с дополнительными функциями, равными переменной. За счет максимального упрощения блока $R(x)$ и возможностей выбора функций логического дополнения, вычисляемых блоком $G(x)$, может быть достигнуто существенное уменьше-

ние сложности технической реализации схемы коррекции по сравнению с традиционными методами.

5. Заключение

Предложенные в работе отказоустойчивые структуры на основе принципа логического дополнения позволяют на практике получать более простые отказоустойчивые цифровые устройства. Эксперименты с контрольными комбинационными схемами показывают, что на практике можно добиться существенного уменьшения сложности технической реализации отказоустойчивого устройства путем применения новых структур в сравнении с известными структурами с двойной и тройной модульной избыточностью. Например, в [15, 16] показано, что возможно упрощение структур до 25–30% по сравнению со структурами с двойной модульной избыточностью и до 40–45% по сравнению со структурой на основе тройной модульной избыточности. При этом возможно достижение высоких показателей коррекции сигналов без изменения структур исходных объектов. К примеру, для комбинационных устройств применение структуры на основе логического дополнения с контролем вычислений исходного объекта по паритету в эксперименте для двадцати двух комбинационных устройств получено среднее значение вероятности коррекции $p_c = 0,95421$. Повышение обнаруживающей способности метода возможно за счет использования схем контроля по другим принципам, например по модифицированным кодам с суммированием [36, 37], либо же путем применения специальных схемотехнических способов обнаружения ошибок на выходах объектов диагностирования [32–35].

Следует отметить две особенности предложенных структур. Первая заключается в том, что по сравнению со структурами с двойной модульной избыточностью в новых структурах за счет использования двух каскадов сумматоров по модулю два $a_1, a_2, \dots, a_{m-1}, a_m$ и $b_1, b_2, \dots, b_{m-1}, b_m$ увеличено время прохождения сигналов и таким образом снижено быстродействие структуры. Тем не менее задержка незначительна, и путь прохождения сигнала увеличивается незначительно. Увеличение времени срабатывания можно считать некоторой ценой за снижение аппаратных затрат на реализацию предложенной структуры. Вторая особенность связана с процедурами поиска значений функций логического дополнения $g_1, g_2, \dots, g_{m-1}, g_m$ и выбора функций коррекции $r_1, r_2, \dots, r_{m-1}, r_m$. Требуется анализ $Q = tm$ (t и m – число входов и число выходов блока $F(x)$ соответственно) различных способов вычисления функций логического дополнения на 2^t входных комбинациях. Число Q существенно зависит от числа входов и выходов устройства $F(x)$, что определяет ограничения на применение предложенных алгоритмов получения функций дополнения и выбора функций коррекции. Для современной вычислительной техники полный алгоритм вычисления реализуется за разумное время при числе входных переменных, не превышающих значений 30÷35 (это связано и с возможностями автоматической минимизации функций алгебры логики). При большем числе входов можно использовать упрощенный алгоритм вычисления функций дополнения, рассмотренный в статье.

Использование логического дополнения – перспективный подход к реализации отказоустойчивых цифровых устройств.

СПИСОК ЛИТЕРАТУРЫ

1. *Согомонян Е.С., Слабаков Е.В.* Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989.
2. *Fujiwara E.* Code Design for Dependable Systems: Theory and Practical Applications. John Wiley & Sons, 2006.
3. *Gavrilov S.V., Gurov S.I., Zhukova T.D., et. al.* Methods to Increase Fault Tolerance of Combinational Integrated Microcircuits by Redundancy Coding // Computational Mathematics and Modeling. 2017. Vol. 28. No. 3. P. 400–406.
<https://doi.org/10.1007/s10598-017-9372-3>
4. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Коды Хэмминга в системах функционального контроля логических устройств. СПб.: Наука, 2018.
5. *Гаврилов М.А., Остиану В.М., Потехин А.И.* Надежность дискретных систем // Итоги науки и техники. Серия «Теория вероятностей. Математическая статистика. Теоретическая кибернетика». 1969, 1970. С. 7–104.
6. *Каравай М.Ф., Согомонян Е.С.* Анализ надежностных характеристик самопроверяемых избыточных структур // АиТ. 1979. № 8. С. 105–119.
Karavai M.F., Sogomonyan E.S. Analysis of Reliability Characteristics of Self-Checkable Redundant Structures // Autom. Remote Control. 1980. V. 40. No. 8. P. 1186–1197.
7. *Matsumoto K., Uehara M., Mori H.* Evaluating the Fault Tolerance of Stateful TMR // 13th International Conference on Network-Based Information Systems, 14–16 September 2010, Takayama, Japan. P. 332–336.
<https://doi.org/10.1109/NBiS.2010.86>
8. *Borecký J., Kohlík M., Vit P., Kubátová H.* Enhanced Duplication Method with TMR-Like Masking Abilities // Euromicro Conference on Digital System Design (DSD), 31 August – 2 September 2016, Limassol, Cyprus. P. 690–693.
<https://doi.org/10.1109/DSD.2016.91>
9. *Krcma M., Kotasek Z., Lojda J.* Triple Modular Redundancy Used in Field Programmable Neural Networks // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, September 29–October 2, 2017. P. 372–377. <https://doi.org/10.1109/EWDTS.2017.8110128>
10. *Sogomonyan E.S.* Self-Correction Fault-Tolerant Systems. – Preprint, October 2018.
11. *Dug M., Krstic M., Jokic D.* Implementation and Analysis of Methods for Error Detection and Correction on FPGA // IFAC-PapersOnLine. 2018. V. 51. I. 6. P. 348–353.
12. *Харченко В.С.* Модели и свойства многоальтернативных отказоустойчивых систем // АиТ. 1992. № 12. С. 140–147.
Kharchenko V.S. Models and Properties of Multialternative Fault-Tolerant Systems // Autom. Remote Control. 1993. V. 53. No. 12. P. 1944–1950.
13. *Лысенко И.В., Харченко В.С.* Оценка живучести многоярусных мажоритарно-резервированных систем, функционирующих в условиях неблагоприятных воздействий импульсной природы // АиТ. 1997. № 2. С. 209–218.
Lysenko I.V. Kharchenko V.S. Potential Vitality of Multi-Layered Majorant-Reserved Systems Subject to Adverse Impulse Effects // Autom. Remote Control. 1997. V. 58. No. 2. P. 320–327.
14. *Скляр В.В., Харченко В.С.* Отказоустойчивые компьютерные системы управления с версионно-пороговой адаптацией: способы адаптации, оценка надежности, выбор архитектур // АиТ. 2002. № 6. С. 131–145.

- Sklyar V. V., Kharchenko V. S.* Fault-Tolerant Computer-Aided Control Systems with Multiversion-Threshold Adaptation: Adaptation Methods, Reliability Estimation, and Choice of an Architecture // *Autom. Remote Control*. 2002. V. 63. No. 6. P. 991–1003. <https://doi.org/10.1023/A:1016130108770>
15. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Схема коррекции сигналов для комбинационных устройств автоматики на основе логического дополнения с контролем вычислений по паритету // *Информатика*. 2020. Том 17. № 2. С. 71–85. <https://doi.org/10.37661/1816-0301-2020-17-2-71-85>
 16. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Отказоустойчивая структура на основе логического дополнения с контролем вычислений по паритету // *Автоматика на транспорте*. 2020. Т. 6. № 3. С. 377–403. <https://doi.org/10.20295/2412-9186-2020-6-3-377-403>
 17. *Lala P. K.* Self-Checking and Fault-Tolerant Digital Design. – San Francisco: Morgan Kaufmann Publishers, 2001.
 18. *Гессель М., Морозов А.В., Сапожников В.В., Сапожников Вл.В.* Контроль комбинационных схем методом логического дополнения // *АиТ*. 2005. № 8. С. 161–172.
Goessel M., Morozov A. V., Sapozhnikov V. V., Sapozhnikov Vl. V. Checking Combinational Circuits by the Method of Logic Complement // *Autom. Remote Control*. 2005. V. 66. No. 8. P. 1336–1346. <https://doi.org/10.1007/s10513-005-0174-2>
 19. *Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D.* New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science+Business Media B.V., 2008.
 20. *Das D. K., Roy S. S., Dmitiriev A., Morozov A., Gössel M.* Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes // *Proceedings of the 10th International Workshops on Boolean Problems, Freiberg, Germany, September, 2012*. P. 33–40.
 21. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Построение самопроверяемых структур систем функционального контроля на основе равновесного кода «2 из 4» // *Проблемы управления*. 2017. № 1. С. 57–64.
 22. *Ефанов Д.В., Сапожников В.В., Сапожников Вл.В., Пивоваров Д.В.* Синтез самопроверяемых схем встроенного контроля на основе метода логического дополнения до равновесного кода «2 из 4» // *Информатика*. 2018. Том 15. № 4. С. 71–85.
 23. *Sapozhnikov Vl. V., Dmitiriev A., Goessel M., Sapozhnikov V. V.* Self-Dual Parity Checking – a New Method for on Line Testing // *Proceedings of 14th IEEE VLSI Test Symposium, USA, Princeton, 1996*. P. 162–168.
 24. *Сапожников В.В., Сапожников Вл.В., Гёссель М.* Самодвойственные дискретные устройства. СПб: Энергоатомиздат (Санкт-Петербургское отделение), 2001.
 25. *Efanov D., Sapozhnikov V., Sapozhnikov Vl., Osadchy G., Pivovarov D.* Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // *Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, September 13–16, 2019*. P. 136–143. <https://doi.org/10.1109/EWDTS.2019.8884398>
 26. *Ефанов Д.В., Сапожников В.В., Сапожников Вл.В., Пивоваров Д.В.* Метод функционального контроля комбинационных логических устройств на основе самодвойственного дополнения до равновесных кодов // *Электронное моделирование*. 2020. Т. 42. № 3. С. 27–52. <https://doi.org/10.15407/emodel.42.03.027>
 27. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Основы теории надежности и технической диагностики. СПб.: Изд-во «Лань», 2019.

28. Аксёнова Г.П. Метод синтеза схем встроенного контроля для автоматов с памятью // *АиТ*. 1973. № 2. С. 109–116.
Aksjonova G.P. Method of Synthesizing Built-In Monitoring Arrangements for Automata with Memory // Autom. Remote Control. 1973. V. 34. No. 2. P. 267–273.
29. Аксёнова Г.П. Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю 2 // *АиТ*. 1979. № 9. С. 126–135.
Aksjonova G.P. Necessary and Sufficient Conditions for Design of Completely Checkable Modulo 2 Convolution Circuits // Autom. Remote Control. 1980. V. 40. No. 9. P. 1362–1369.
30. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Коды с суммированием для систем технического диагностирования. Т. 1: Классические коды Бергера и их модификации. М.: Наука, 2020.
31. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Коды с суммированием для систем технического диагностирования. Т. 2: Взвешенные коды с суммированием. М.: Наука, 2021.
32. Sogomonyan E.S., Gössel M. Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs // *J. Electron. Testing: Theory Appl.* 1993. V. 4. No. 4. P. 267–281. <https://doi.org/10.1007/BF00971975>
33. Busaba F.Y., Lala P.K. Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // *J. Electron. Testing: Theory Appl.* 1994. V. 5. No. 5. P. 19–28. <https://doi.org/10.1007/BF00971960>
34. Morosow A, Sapozhnikov V.V., Sapozhnikov Vl.V., Goessel M. Self-Checking Combinational Circuits with Unidirectionally Independent Outputs // *VLSI Design.* 1998. V. 5. No. 4. P. 333–345. <https://doi.org/10.1155/1998/20389>
35. Matrosova A., Levin I., Ostanin S. Survivable Self-Checking Sequential Circuits // *Proceedings of 2001 IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'2001), USA, CA, San Francisco, October 24–26, 2001.* P. 395–402.
36. Sapozhnikov V., Sapozhnikov Vl., Efanov D. Typical Signal Correction Structures Based on Duplication with the Integrated Control Circuit // *Proceedings of 18th IEEE East-West Design & Test Symposium (EWDTS'2020), Varna, Bulgaria, September 4–7, 2020.* P. 78–87. <https://doi.org/10.1109/EWDTS50664.2020.9224649>
37. Efanov D.V., Sapozhnikov V.V., Sapozhnikov Vl.V. Typical Structure of a Duplicate Error Correction Scheme with Code Control with Summation of Weighted Transitions // *Electronic Modeling.* 2020. V. 42. No. 5. P. 38–50. <https://doi.org/10.15407/emodel.42.05.038>

Статья представлена к публикации членом редколлегии М.Ф. Караваем.

Поступила в редакцию 19.12.2020

После доработки 09.04.2021

Принята к публикации 29.04.2021