

МОДЕЛИРОВАНИЕ ТЕХНОЛОГИЧЕСКИХ ПРОЦЕССОВ МИКРОЭЛЕКТРОНИКИ

УДК 621.382+621.396.6+621.373.826

МОДЕЛИРОВАНИЕ СБОРА ЗАРЯДА С ТРЕКА ИОНИЗИРУЮЩЕЙ ЧАСТИЦЫ В КМОП ТРИГГЕРНЫХ ЭЛЕМЕНТАХ ПОВЫШЕННОЙ СБОЕУСТОЙЧИВОСТИ

© 2019 г. В. Я. Стенин^{1,2, *}, Ю. В. Катунин^{1, **}

¹НИИ системных исследований Российской академии наук,
Нахимовский проспект, 36, к. 1, Москва, 117218 Россия

²Национальный исследовательский ядерный университет “МИФИ”, Каширское шоссе, 31, Москва, Россия

*E-mail: vystenin@mephi.ru

**E-mail: katunin@cs.niisi.ras.ru

Поступила в редакцию 19.12.2018 г.

После доработки 26.04.2019 г.

Принята к публикации 07.05.2019 г.

Приводятся результаты моделирования средствами 3-D TCAD сбора заряда с треков ионизирующих ядерных частиц в КМОП триггерных элементах типа STG DICE в пикосекундном временном диапазоне. Анализируются переходные процессы при сборе заряда с треков в D-триггере STG DICE, используемом в ячейках статической памяти, в RS STG триггере и логическом C-элементе на STG DICE триггере для асинхронной КМОП логики. Приводятся результаты моделирования сбора заряда *pn* переходами как запертых транзисторов, так и открытых транзисторов. Установлено, что сбор заряда с трека МОП транзисторами начинается в запертом или в открытом состоянии, а затем переходит в сбор заряда в инверсном состоянии. Длительность сбора заряда до экстремума напряжения на узле триггерных КМОП элементов по объемной 65-нм технологии составляет от 5.5 до 17 пс, а приращения напряжений экстремумов (максимумы или минимумы) на узлах относительно напряжений на шине питания или общей шины в пределах от 0.14 до 0.82 В. Длительность нахождения транзисторов в инверсном состоянии от 2 до 100 пс. Сбор заряда с треков с линейной передачей энергии 60 МэВ · см²/мг не приводит к нарушениям логической функции элементов при треках через транзисторы одной группы триггера STG DICE при достаточном расстоянии между группами транзисторов. Результаты исследования ориентированы на проектирование систем, работающих в условиях воздействия одиночных ядерных частиц.

Ключевые слова: логический элемент, моделирование, одиночная ядерная частица, помехоустойчивость, трек частицы, триггер

DOI: 10.1134/S0544126919060085

1. ВВЕДЕНИЕ

История КМОП – помехоустойчивых элементов с двухфазной организацией началась с статического триггера ячейки памяти DICE (Double Interlocked Cell) [1], схема которого обеспечивала высокую устойчивость к воздействиям отдельных ядерных частиц по сравнению с другими вариантами [2]. Эффективный подход к повышению помехоустойчивости D-триггера DICE стал возможен при разделении транзисторов триггера ячейки памяти DICE на две специфические группы (Spaced Transistor Groups DICE – STG DICE) [2–4] так, что воздействие отдельно на каждую из них не приводит к сбою логического состояния триггера. Во время нестационарного состояния два узла триггера STG DICE сохраняют исходные логические состояния, что и позволяет триггеру

вернуться в исходное состояние после завершения сбора заряда с трека одиночной ядерной частицы.

Экспериментально [5–8] и моделированием [8, 9] обосновано и обобщено [10–12] положение о том, что только увеличение расстояния между парами чувствительных узлов триггеров DICE ведет к повышению их устойчивости. При расстоянии 1 мкм между чувствительными узлами частота сбоев (Single Event Rate - SER) D-триггеров типа DICE с проектными нормами КМОП 28–65 нм при воздействии нейтронов и протонов снижается в 100 раз по сравнению с тем, когда это расстояние составляет 100–300 нм, которое в настоящее время типично для шести-транзисторных D-триггеров и триггеров DICE для 28-65 нм КМОП коммерческой технологии.

В случае триггеров STG DICE две группы транзисторов связаны только двумя проводами. Это уникальное свойство, отличающее ее от стандартной топологии ячейки DICE [3, 4], позволило повысить помехоустойчивость КМОП-элементов на основе триггера STG DICE без существенного увеличения площади, используя топологию с чередованием групп транзисторов [13], принадлежащих смежным элементам.

В работах [6, 14, 15] приведены данные по чувствительности к сбоям КМОП триггеров DICE в зависимости от угла наклона трека. Максимальная интенсивность сбоев характерна для DICE триггеров по объемной технологии при наклоне трека 80° относительно нормали к поверхности кристалла. Интенсивность сбоев снижается при уменьшении угла наклона.

Приводятся результаты Монте-Карло моделирования [16] и 3-D TCAD моделирования [6, 17] одиночных (SEU) и кратных (multiple cell upsets – MCU) сбоев в 6-транзисторных ячейках памяти. В работе [18] дан пример использования 3-D TCAD для изучения влияния технологических параметров на переходные процессы в 65-нм КМОП комбинационной логике по объемной технологии при воздействии одиночных частиц. Есть пример использования 3-D TCAD моделирования [19] для изучения и коррекции диффузионной модели сбора заряда в КМОП структурах при воздействии одиночных ядерных частиц.

Моделирование средствами TCAD подтверждает, что сбор заряда с трека частицы при ее линейных потерях энергии до $60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ не приводит к сбою STG DICE ячеек памяти [20]. Сбой логического состояния триггеров STG DICE отмечены лишь при линейных потерях энергии более $50\text{--}60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ при воздействии одиночных частиц с треками, проходящими через КМОП транзисторы двух групп триггера STG DICE под углом 90° относительно нормали к поверхности кристалла.

Целью данной работы является моделирование и исследование с использованием средств 3-D TCAD особенностей сбора заряда с треков ионизирующих ядерных частиц быстродействующими КМОП триггерными элементами типа STG DICE в пикосекундном временном диапазоне. Результаты такого исследования необходимы для проектирования высоконадежных микропроцессорных систем, предназначенных для работы в условиях воздействия излучений малой интенсивности таких, как одиночные ядерные частицы.

Детальное исследование триггеров со структурой STG DICE необходимо для уточнения эффективности такой элементной базы, которая уже нашла применение в сбоеустойчивых кэш ОЗУ, многопортовых ОЗУ и ячейках блоков ассоциативной памяти (content addressable memory).

На базе STG DICE разработаны новые элементы памяти с декодером чтения данных в нестационарных состояниях ячейки STG DICE [21], RS STG триггер [22], логический С-элемент [23] для асинхронной самосинхронизирующейся КМОП логики, а также элемент сопоставления данных для ассоциативной памяти [24].

2. D-ТРИГГЕР ЯЧЕЙКИ ПАМЯТИ STG DICE

Схема статической ячейки памяти на основе триггера STG DICE приведена на рис. 1а. Ячейка состоит из четырех комплементарных пар транзисторов, каждая из которых является элементарным D-триггером на паре N - и P МОП транзисторов. Две первые пары $N_D P_A$, $N_A P_B$ образуют первую группу транзисторов, вторую группу образуют две пары $N_B P_C$, $N_C P_D$. В стационарном состоянии элементарные D-триггеры образуют кольцо с чередованием открытых и закрытых пар транзисторов [3, 4], если логика узлов $ABCD = 0101$, пары транзисторов $N_D P_A$, $N_B P_C$ закрыты, а пары $N_A P_B$, $N_C P_D$ открыты. При логике узлов $ABCD = 1010$ состояния всех транзисторов меняются. Запись и чтение данных происходит через ключи N_{WA} , N_{WB} , N_{WC} , N_{WD} ; битовые линии $BL1$, $BL2$ служат для записи на узлы триггера данных в нормальном виде, а линии $nBL1$, $nBL2$ для записи инверсных значений.

2.1. Моделирование трека одиночной ядерной частицы

Приборное моделирование КМОП транзисторов по объемной 65-нм технологии (с длиной канала 65 нм) проводилось на основе 3-D TCAD моделей, приведенных в работе [25]. Эскиз 3-D модели приборной структуры триггера ячейки памяти приведен на рис. 1б. 3-D приборная структура включает четыре КМОП пары транзисторов, две пары $N_D P_A$ и $N_A P_B$ образуют первую группу транзисторов, две пары $N_B P_C$, $N_C P_D$ – вторую группу. Высоколегированные $n+$ и $p+$ области являются элементами защитных полос, изолирующих N - и P МОП транзисторы. На рис. 1б приведены примеры прохождения двух треков частиц: первого, проходящего на глубине d под областями стоков транзисторов N_D и P_A (трек T1), и второго трека с направлением по нормали к поверхности кристалла с точкой входа в стоковую область транзистора N_D (трек T2). Для наглядности приборной структуры на рис. 1б убрано объемное изображение слоя разделительного оксида, охватывающего до глубины 400 нм активные кремниевые области транзисторов в реальной конструкции.

Тестовым воздействием был принят сбор заряда с трека, проходящего в кристалле параллельно поверхности на некоторой глубине d или направленного по нормали к поверхности приборной

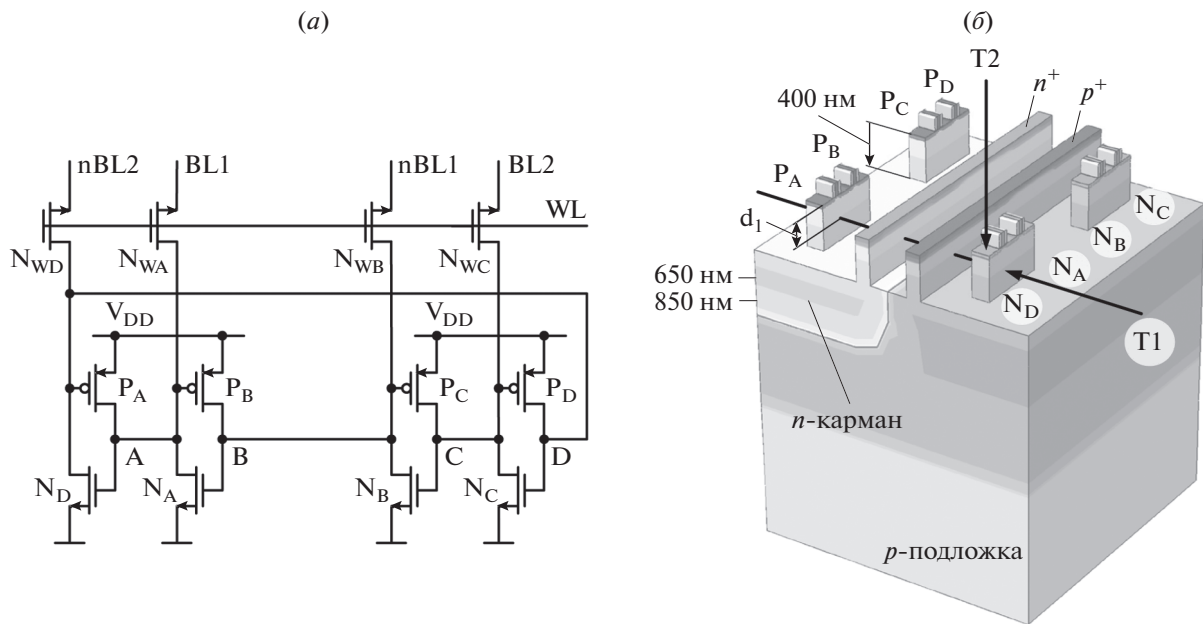


Рис. 1. КМОП ячейка памяти STG DICE: (а) схема ячейки памяти; (б) эскиз 3-D приборной структуры триггера ячейки; трек Т1 проходит на глубине под областями стоков транзисторов N_D и P_A , трек Т2 направлен по нормали к поверхности кристалла с точкой входа в стоковую область транзистора N_D . Для наглядности убрано объемное изображение глубокого разделительного оксида, охватывающего до глубины 400 нм активные кремниевые области транзисторов.

части структуры триггера. Длительность воздействия заряда, собираемого с трека частицы и заряжающая емкость узла, зависит как от темпа заряда узла токами выводящих заряд pn переходами транзисторов и разряда узла токами утечки через закрытые или открытые транзисторы, соединенные с этим узлом. Время сбора заряда характеризуется длительностью нестационарного состояния ячейки t_{SET} , которое определяется по изменению напряжений на узлах ячейки STG DICE. Параметр t_{SET} — длительность переходного процесса, завершающегося возвращением ячейки в исходное состояние, — single event transients — SET. Сбой логического состояния элемента при сборе заряда с трека одиночной ядерной частицы характеризуется как single event upset — SEU. Величина заряда, генерируемого на треке, зависит от передачи энергии частицей на трек. Энергетическая составляющая генерации носителей заряда характеризуется линейной передачей энергии частицей [26] — (linear energy transfer — LET).

Толщина подложки 3-D приборной структуры составляет 3.0 мкм. 3-D приборная структура элемента на рис. 1б соответствует топологии элемента с зазором в 1.2 мкм между двумя группами транзисторов, приведенной на рис. 1а. Между областями N - и P МОП транзисторов логических элементов в приборной части модели (рис. 1б) имеются высоколегированные n^+ и p^+ области, которые являются элементами защитных колец. Подложка легирована бором с концентрацией

10^{16} см^{-3} , дополнительно приборная часть легирована бором по гауссу с пиковой концентрацией $5 \times 10^{18} \text{ см}^{-3}$ на глубине 1.25 мкм и зоной легирования ± 0.4 мкм. Приборные слои легированы по гауссу с пиковой концентрацией $2 \times 10^{18} \text{ см}^{-3}$ на глубинах 0.65 мкм бором для ЛМОП транзисторов и мышьяком в n -кармане для РМОП транзисторов.

Встроенное электрическое поле под активным приборным p -слоем ЛМОП транзисторов на глубинах 450–650 нм способствует дрейфу электронов к поверхности кристалла в сторону объединенных областей стоковых и истоковых pn переходов ЛМОП транзисторов, которые изолированы друг от друга до глубины 400 нм слоем разделительного оксида. Для треков, проходящих на глубинах 650–850 нм, часть генерируемых носителей заряда с трека уходит в подложку. Эти характерные глубины областей легирования 650 и 850 нм отмечены на левой грани приборной модели на рис. 1б. Результаты исследования получены при моделировании средствами 3-D TCAD с использованием симулятора Sentaurus Device при температуре 25°C и напряжении питания 1.0 В для КМОП структур по объемной 65-нм КМОП технологии с шириной каналов транзисторов 150 нм. Трехмерные приборные структуры трех вариантов триггеров STG DICE имели размеры 10.9×6.4 мкм при толщине подложки 3.0 мкм.

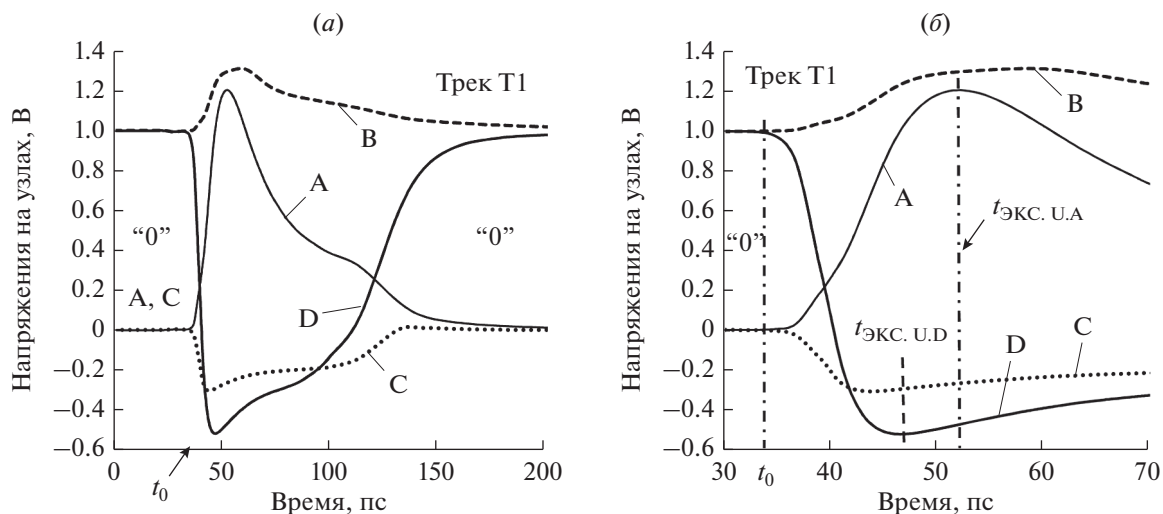


Рис. 2. Зависимости напряжений на узлах ячейки STG DICE в состоянии ABCD = 0101 при прохождении трека T1 частицы под стоковыми областями транзисторов N_D и P_A первой группы транзисторов: (а) глубина трека $d = 250$ нм, LET = 18 МэВ · см²/мг; начало сбора заряда с трека $t_0 = 35$ пс: (а) зависимости в интервале 0.2 нс; (б) увеличенный масштаб начальной части переходного процесса.

2.2. Сбор заряда с трека, проходящего через стоки запертых транзисторов N_D и P_A

На рис. 2 приведены зависимости напряжений на узлах D-триггера STG DICE, хранящего логический "0" на узлах в виде ABCD = 0101. На рис. 2а даны зависимости во времени в интервале до 200 пс, а на рис. 2б — зависимости начальной части переходного процесса в увеличенном масштабе до 70 пс. В исходном состоянии узлов STG DICE триггера транзисторы N_D и P_A заперты. Трек T1 (рис. 1б) проходит под их стоковыми областями на глубине 250 нм от поверхности приборного слоя, линейная передача энергии на трек LET = 18 МэВ · см²/мг.

В момент времени $t_0 = 35$ пс образуется трек частицы, транзисторы N_D и P_A начинают сбор заряда и вывод его в виде фототоков, протекающих через обратно смещенные *pn* переходы. Стоковый *pn* переход транзистора N_D выводит электроны, понижая напряжение узла D. Стоковый *pn* переход транзистора P_A выводит дырки, повышая напряжение узла A.

Через 5 пс снижения напряжения на узле D транзистор N_D переходит в инверсный активный режим смещения (рис. 2) при $t = 40$ пс. Минимум напряжения $U_{\text{ЭКС.У.Д}} = -0.52$ В на узле D достигается при $t_{\text{ЭКС.У.Д}} = 47.2$ пс через $\Delta t_{\text{ЭКС.У.Д}} = 12.2$ пс после начала сбора заряда. Напряжение на узле A достигает максимума $U_{\text{ЭКС.У.А}} = 1.20$ В при $t_{\text{ЭКС.У.А}} = 52.2$ пс через интервал времени $\Delta t_{\text{ЭКС.У.А}} = 17.2$ пс после начала сбора заряда. Длительность нестационарного состояния $t_{\text{SET}} = 95$ пс.

2.3. Сбор заряда с трека, проходящего через сток запертого транзистора N_D

На рис. 3 приведены зависимости напряжений на узлах D-триггера STG DICE, хранящего логический "0" на узлах в виде ABCD = 0101. На рис. 3а даны зависимости в интервале до 0.5 нс, а на рис. 3б — начальная часть переходного процесса от 85 до 120 пс. Трек, входящий по нормали к поверхности кристалла (Трек 2 на рис. 1б) проходит через точку входа трека в стоковую область транзистора N_D , линейная передача энергии частицей на трек LET = 41 МэВ · см²/мг.

В исходном состоянии узлов ABCD = 0101 триггера STG DICE транзисторы N_D и P_A заперты. Трек образуется в момент времени $t_0 = 87$ пс. Транзистор N_D через свой сток начинает выводить на емкость узла D заряд с трека, понижающий напряжение узла. Через 8 пс при $t = 95$ пс транзистор N_D переходит в инверсный активный режим смещения (рис. 4а и б). Напряжение на узле D понижается до минимума $U_{\text{ЭКС.У.Д}} = -0.68$ В при $t_{\text{ЭКС.У.А}} = 98$ пс. Этот минимум (экстремум) достигается через $\Delta t_{\text{ЭКС.У.А}} = 11$ пс после начала сбора заряда.

Остальные транзисторы не собирают заряд с трека T2 и напряжение на них практически не меняется. Разряд емкости узла D до напряжения на шине питания через открытый транзистор P_D повышает напряжение узла D до 1 В, после чего устанавливается начальное стационарное состояние узлов ABCD = 0101. Длительность нестационарного состояния $t_{\text{SET}} = 250$ пс.

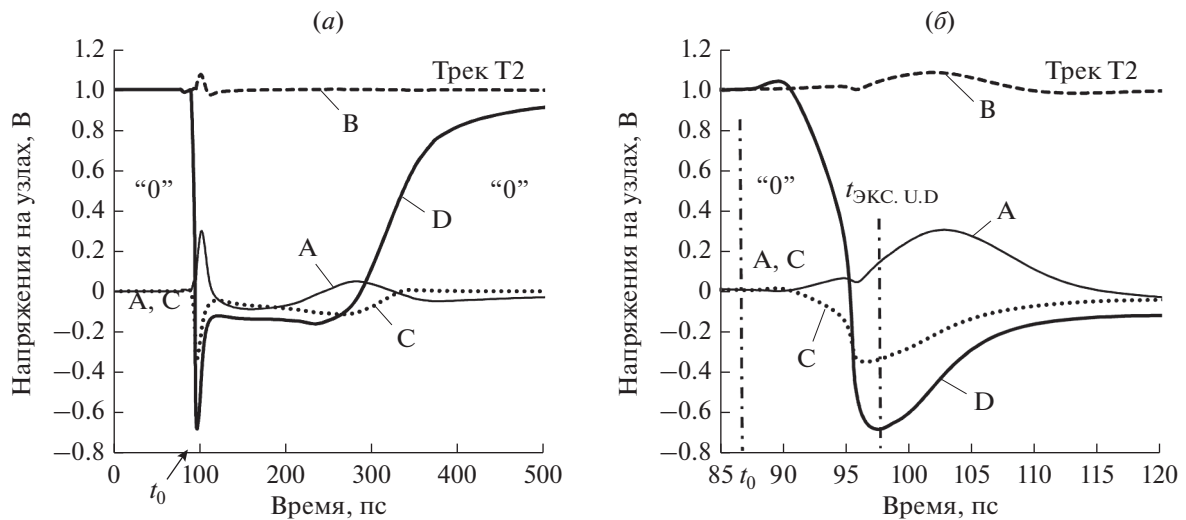


Рис. 3. Напряжения на узлах STG DICE триггера при сборе заряда с трека с направлениями по нормали к поверхности кристалла (трек с точкой входа в кристалл по нормали в сток транзистора N_D), исходное состояние узлов ABCD = 0101; LET = 41 МэВ · см²/мг; начало сбора заряда с трека $t_0 = 87$ пс: (а) зависимости в интервале 0.5 нс; (б) увеличенный масштаб начальной части переходного процесса.

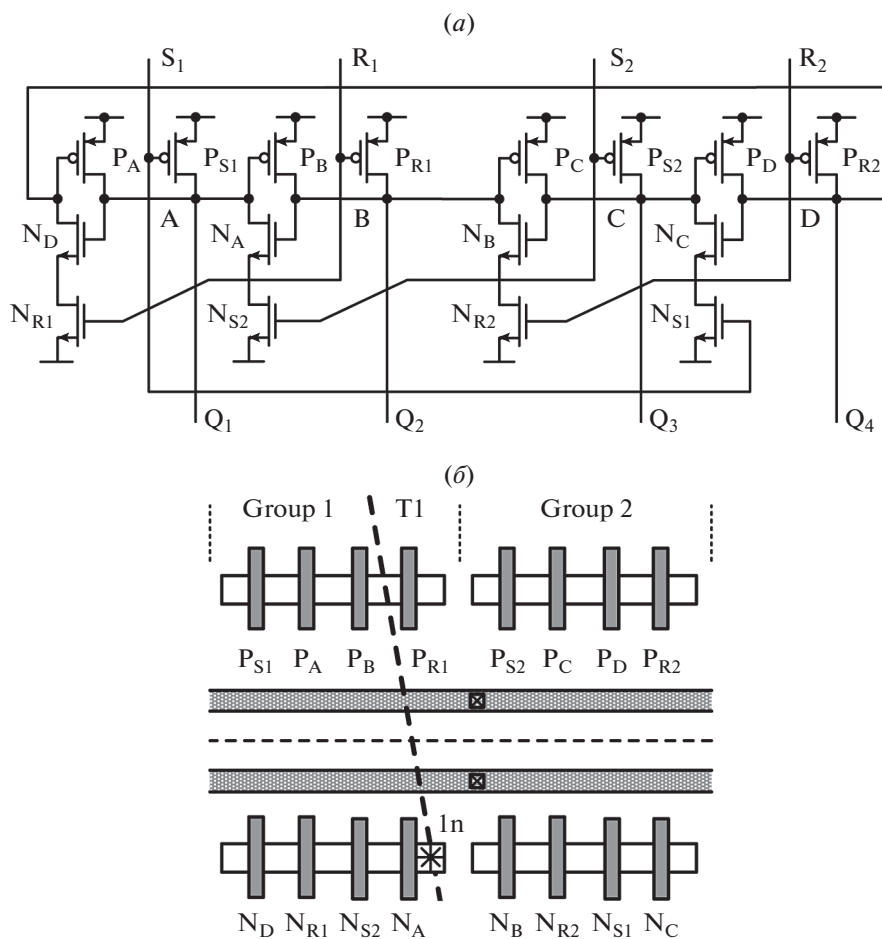


Рис. 4. RS триггер со структурой STG DICE: (а) схема RS триггера; (б) эскиз топологии, на котором приведены примеры треков – проходящего на глубине 100 нм под стоковыми областями транзисторов N_A и P_B (трек T1), а также трека с направлением по нормали к поверхности кристалла в стоковую область транзистора N_A (точка входа трека 1п отмечена маркером “звездочка”).

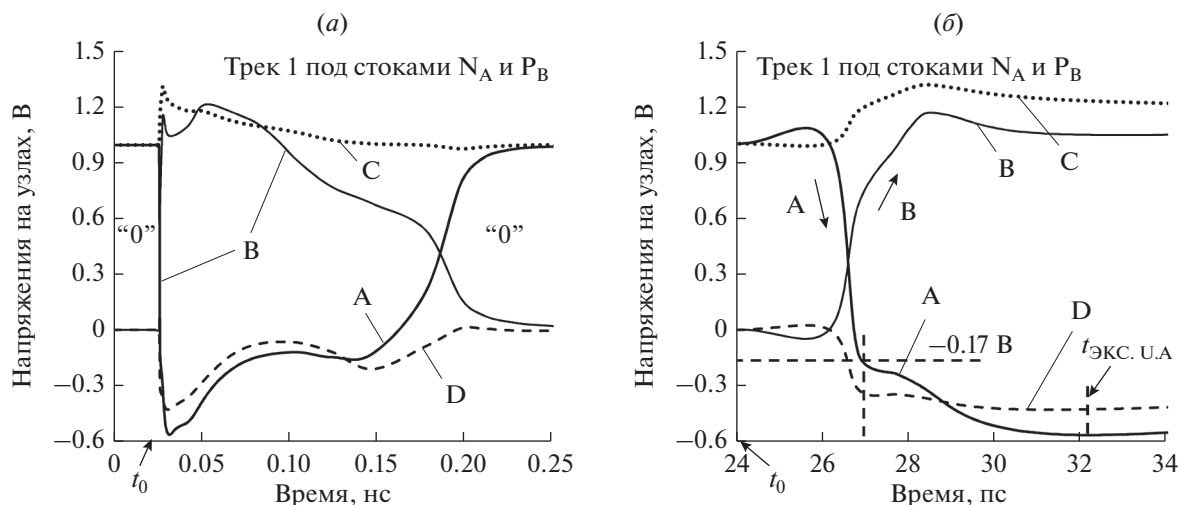


Рис. 5. Напряжения на узлах RS триггера при сборе заряда с трека, проходящего на глубине 100 нм под областями стоков транзисторов N_A и P_B (Трек 1 на рис. 4), $LET = 60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$, начало сбора заряда с трека $t_0 = 24 \text{ пс}$, исходное логическое состояние узлов ABCD = 1010: (а) зависимости в интервале 0.25 нс; (б) увеличенный масштаб начальной части переходного процесса.

3. STG RS ТРИГГЕР С РАЗДЕЛЕНИЕМ ТРАНЗИСТОРОВ НА ДВЕ ГРУППЫ

Схема STG RS триггера приведена на рис. 4а, транзисторы разделены на две группы таким способом, что воздействие одиночной ядерной частицы только на одну из них не приводит к сбою логического состояния триггера. Каждая из групп содержит по два простейших триггера на паре КМОП транзисторов каждая. Первая группа транзисторов содержит два триггера на транзисторах N_{DPA} и N_{APB} и транзисторы N_{R1} , P_{S1} , N_{S2} , P_{R1} для установки (индекс S) и сброса (R) данных и обеспечения хранения состояния. Вторая группа содержит два триггера на транзисторах N_{BPC} и N_{CPD} и вспомогательные транзисторы N_{R2} , P_{S2} , N_{S1} , P_{R2} . В схеме на рис. 4а имеются выходы S_1 , S_2 , R_1 , R_2 для установки данных и выходы $Q_1 - Q_4$. Моделирование сбора заряда с трека проводилось в режиме хранения данных при “1” на всех входах установки данных. При этом транзисторы N_{R1} , N_{R2} , N_{S1} , N_{S2} открыты, а P_{R1} , P_{R2} , P_{S1} , P_{S2} — заперты.

На рис. 4б приведен эскиз топологии STG RS триггера на двух одинаковых группах транзисторов, которые не разнесены на кристалле — без зазора между ними. На рис. 4б показаны два трека — трек, проходящий на глубине 100 нм под стоковыми областями транзисторов N_A и P_B (трек Т1), а также трек с направлением по нормали к поверхности с точкой входа 1п в стоковую область транзистора N_A , которая отмечена на рис. 4б маркером “звездочка”.

3.1. Сбор заряда с трека, проходящего через стоки запертых транзисторов N_A и P_B

На рис. 5 приведены зависимости напряжений на узлах RS триггера, хранящего логическую “1” в состоянии узлов ABCD = 1010. На рис. 5а даны зависимости в интервале 0.25 нс, а на рис. 5б — зависимости начальной части переходного процесса от 24 до 34 пс. В начальном состоянии транзисторы N_A и P_B заперты. В момент времени $t_0 = 24 \text{ пс}$ образуется трек Т1 с линейной передачей энергии $LET = 60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ и транзисторы N_A и P_B через свои обратные смещенные *pn* переходы начинают сбор заряда с трека. Транзистор N_A через сток начинает выводить электроны с трека, что понижает напряжение узла А, разряжая его емкость, а транзистор P_B через сток начинает выводить дырки, что повышает напряжение узла В, заряжая емкость узла.

В итоге оба транзистора N_A и P_B переходят в инверсные активные режимы смещения, после чего напряжение на узле А снижается до минимума $U_{\text{ЭКС.У.А}} = -0.57 \text{ В}$ (момент $t_{\text{ЭКС.У.А}} = 32.2 \text{ пс}$), а напряжение на узле В повышается в первом максимуме незначительно до 1.16 В. Экстремум (минимум) достигается на узле А через $\Delta t_{\text{ЭКС.У.А}} = 8.2 \text{ пс}$ после начала сбора заряда с трека.

Переход транзистора N_A из запертого состояния до напряжения $U_A = -0.17 \text{ В}$ на емкости узла А происходит за 1.0 пс (в интервале от $t = 26 \text{ пс}$ до 27 пс на рис. 5б). После 27 пс транзистор управления N_{S1} (рис. 4а) также переходит в инверсный режим, при котором напряжение на его стоке снижается синхронно с снижением напряжения на узле А при сборе заряда транзистором N_A . По-

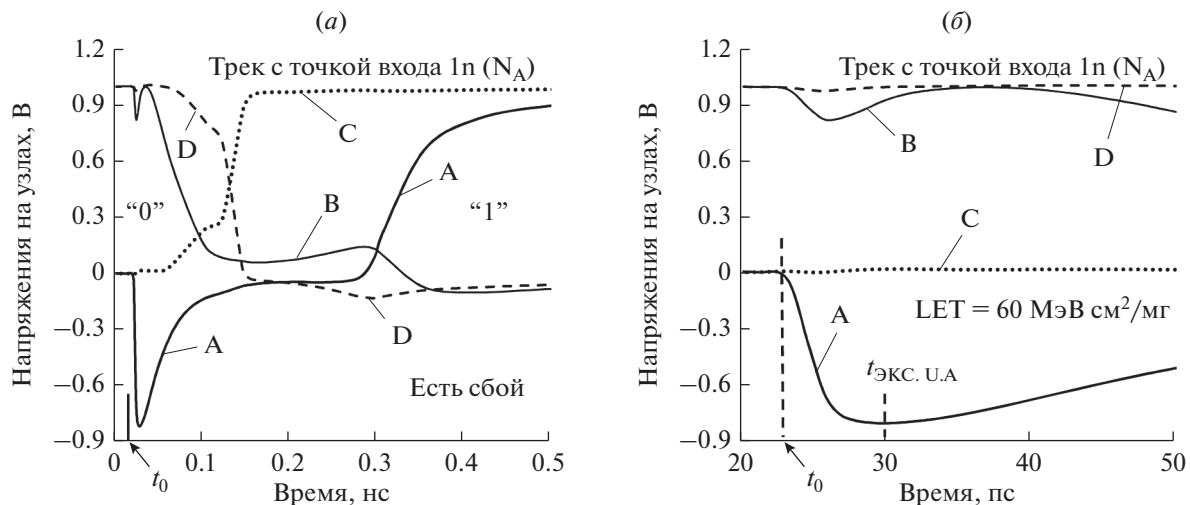


Рис. 6. Напряжения на узлах RS триггера при сборе заряда с трека с направлениями по нормали к поверхности кристалла (трек с точкой входа в кристалл 1n, отмеченной маркером “звездочка” на рис. 4), исходное состояние узлов ABCD = 0101; LET = 60 МэВ · см²/мг; точка входа 1n, начало сбора заряда с трека $t_0 = 23$ пс: (а) зависимости в интервале 0.5 нс; (б) увеличенный масштаб начальной части переходного процесса.

сле $t_{\text{ЭКС.У.А}} = 32.2$ пс начинается вывод заряда с узла А на шину питания через открытый транзистор P_A , а с емкости узла В на общую шину и происходит возврат узлов триггера в исходное состояние ABCD = 1010. Длительность нестационарного состояния $t_{\text{SET}} = 155$ пс.

3.2. Сбор заряда с трека, проходящего через сток одного открытого транзистора N_A

На рис. 6 приведены зависимости напряжений на узлах RS триггера, хранящего логический “0”. На рис. 6а даны зависимости в интервале 0.5 нс, а на рис. 6б – зависимости начальной части переходного процесса от 20 до 50 пс. В исходном состоянии узлов ABCD = 0101 транзисторы N_A и P_B открыты и находятся в активной области при $U_{\text{СИ}} = 0$. В момент времени $t_0 = 23$ пс образуется трек частицы с направлением по нормали к поверхности кристалла в стоковую область транзистора N_A (точка входа трека 1n на рис. 4б отмечена маркером “звездочка”).

Транзистор N_A через сток начинает выводить на емкость узла А электроны с трека, что понижает напряжение узла А. В итоге через 0.5 пс снижения напряжения на узле А транзистор N_A переходит в инверсный активный режим смещения вместе с транзистором N_{S2} , соединенным с ним последовательно стоком к истоку (рис. 4а). При этом напряжение на узле снижается до -0.78 В при $t = 27$ пс и далее понижается до минимума $U_{\text{ЭКС.У.А}} = -0.816$ В при $t_{\text{ЭКС.У.А}} = 30$ пс. Экстремум (минимум) достигается через $\Delta t_{\text{ЭКС.У.А}} = 7$ пс после начала сбора заряда. Затем над сбором заряда

с трека начинает преобладать его вывод на общую шину и напряжение на емкости узла А спадает.

Одновременно с момента времени $t_0 = 23$ пс, когда образовался трек, запертый транзистор N_B из второй группы транзисторов также собирает электроны с того же трека, который проходит через стоковую область транзистора N_A , расположенного рядом (рис. 4б) в приборном слое, что приводит к снижению напряжения узла В и запирает транзистор N_A . Снижение напряжения узла В открывает транзистор P_C , что повышает напряжение на узле С, запирая открытый транзистор P_D , что снижает напряжение на узле D. Снижение напряжения на узле D открывает транзистор P_A , ток через который заряжает емкость узла А до напряжения питания, после чего устанавливается состояние узлов триггера ABCD = 1010 и нестационарное состояние завершается сбоем. Длительность нестационарного состояния со сбоем $t_{\text{SEU}} = 320$ пс.

Это вариант топологии RS триггера, когда специально не были разнесены две группы транзисторов триггера и отсутствует зазор между NМОП транзисторами N_A и N_B (рис. 4б).

4. ЛОГИЧЕСКИЙ С-ЭЛЕМЕНТ НА ОСНОВЕ STG DICE ТРИГГЕРА

Схема логического С-элемента приведена на рис. 7а, она включает STG DICE триггер из двух групп транзисторов Group 1 и Group 2 и два инверторов TRInv 1 и TRInv 2 с тремя состояниями. На рис. 7б приведены эскиз топологии С-элемента и примеры двух треков частиц, проходящих на

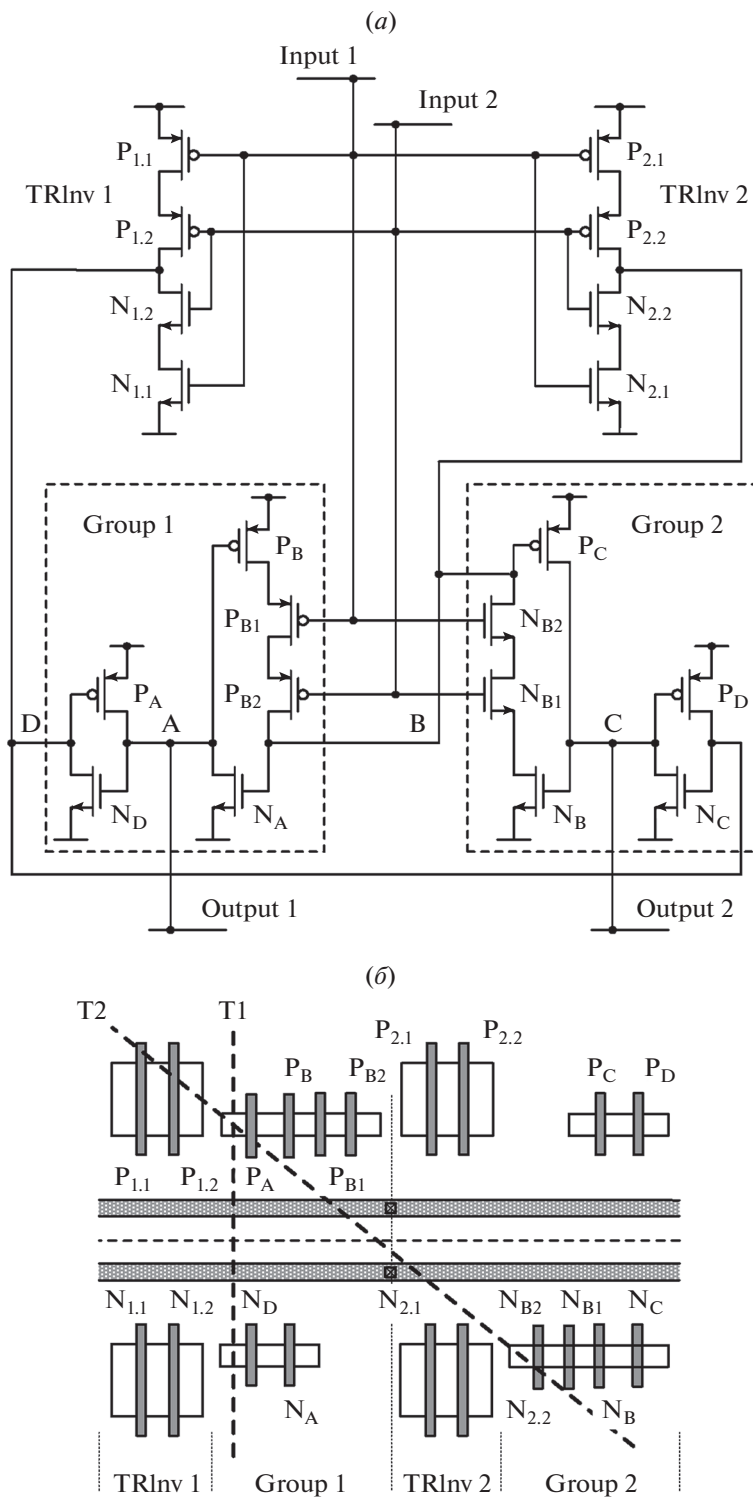


Рис. 7. Логический С-элемент на основе триггера с структурой STG DICE: (а) схема С-элемента; (б) эскиз топологии, приведены примеры трекв, проходящих на глубине 100 нм под стоковыми областями транзисторов P_A и N_D (трек Т1) и под стоковыми областями транзисторов P_A и N_{B2} (трек Т2).

глубине 100 нм под стоковыми областями транзисторов P_A и N_D (трек Т1) и под стоковыми областями транзисторов P_A и N_{B2} (трек Т2). Особенность С-элемента в том, что данные со входов ин-

верторов TRInv 1 и TRInv 2 записываются в триггер только при одинаковых сигналах на обоих входах, при разных — триггер переходит в режим хранения.

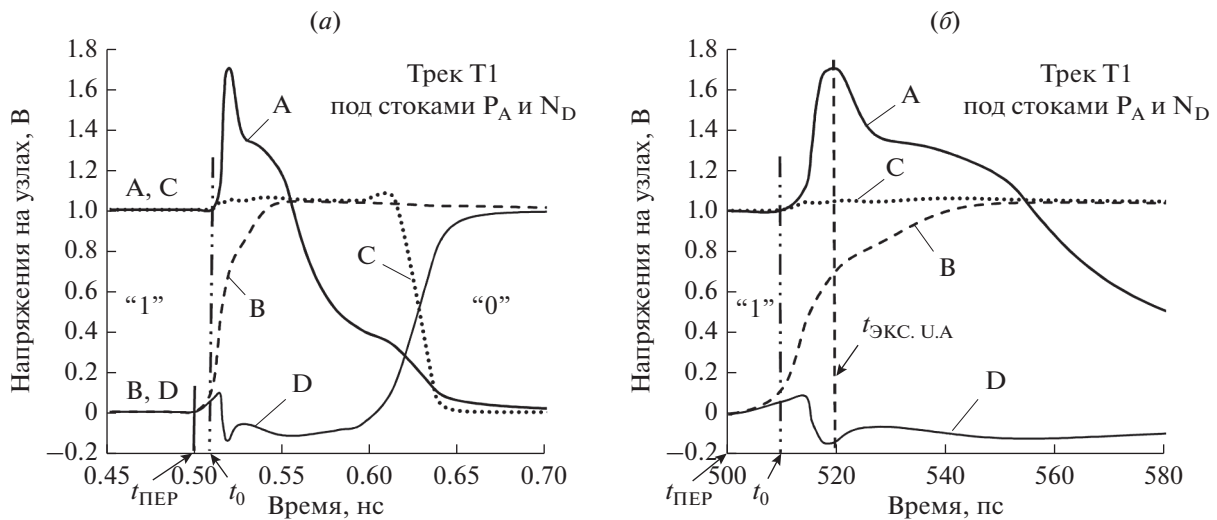


Рис. 8. Напряжения на узлах С-элемента в зависимости от времени, начальное логическое состояние триггера “1” (состояние узлов ABCD = 1010), трек Т1 частицы с LET = 60 МэВ · см²/мг проходит в приборном слое на глубине 100 нм под стоковыми областями транзисторов P_A и N_D одной группы транзисторов Group 1, изменение входных сигналов для переключения триггера из “1” в состояние “0” происходит при t_{ПЕР} = 500 пс; сбор заряда с трека через 10 пс после начала переключения элемента при t₀ = 510 пс: (а) зависимости в интервале 0.45–0.7 нс; (б) увеличенный масштаб начальной части переходного процесса.

4.1. Сбор заряда с трека, проходящего через стоки открытых транзисторов N_D и P_A

На рис. 8 приведены зависимости напряжений на узлах триггера С-элемента, хранящего логическую “1” в состоянии узлов ABCD = 1010. На рис. 8а даны зависимости в интервале от 0.45 нс до 0.7 пс, а на рис. 8б – зависимости части переходного процесса от 500 до 580 пс. В исходном состоянии узлов ABCD = 1010 транзисторы N_D и P_A открыты и находятся в активной области при U_{СИ} = 0, а транзисторы N_A и P_D заперты.

В исходном состоянии на обоих входах С-элемента установлены сигналы логических единиц “1”, которые в момент t_{ПЕР} = 500 пс переключаются на логические нули “0”. Начинается установка триггера элемента в режим хранения “0” изменением напряжений на узлах В и D выходными сигналами инверторов TRInv 1 и TRInv 2 (рис. 7а).

Через 10 пс после изменения сигналов на входах С-элемента при t₀ = 510 пс образуется трек частицы Т1 (рис. 7б), проходящий под стоковыми областями транзисторов N_D и P_A на глубине 100 нм от поверхности приборного слоя. Транзисторы N_D и P_A, находясь в открытом состоянии, начинают сбор заряда с трека Т1 и переходят в инверсное активное состояние, когда напряжение между стоком и истоком меняет знак. Транзистор P_A через сток выводит дырки, что повышает напряжение узла А, заряжая дополнительно его емкость (рис. 8). Небольшое увеличение напряжения на узле D, произошедшее под действием роста на-

пряжения на выходе инвертора TRInv 1, компенсируется тем, транзистор N_D начинает через сток выводить электроны с трека Т1, что снижает напряжение узла D, разряжая его емкость (рис. 8).

Максимальные отклонения напряжений на узлах А и D от исходного стационарного состояния достигаются одновременно в момент времени t_{ЭКС.У.А} = t_{ЭКС.У.Д} = 520 пс через интервал времени сбора, завершающийся экстремумами импульсов напряжений на узлах А и D через Δt_{ЭКС.У.А} = Δt_{ЭКС.У.Д} = 10 пс после начала сбора заряда с трека при t₀ = 510 пс. Экстремумы напряжений на узлах: U_{ЭКС.У.А} = 1.70 В и U_{ЭКС.У.Д} = -0.14 В.

После достижения экстремумов начинается переход узлов триггера в состояние, соответствующее записи в триггер логического нуля “0” напряжениями на входах С-элемента. Фактором, задерживающим переход в состояние узлов ABCD = 0101, является разряд емкости узла А от значения напряжения U_A = 1.7 до 0.3 В, который идет через сток транзистора N_A. После достижения напряжения 0.3 В на узле А запирается транзистор N_D и узлы переходят в состояние ABCD = 0101. В итоге длительность нестационарного состояния t_{SET} = 120 пс.

4.2. Сбор заряда с трека, проходящего через стоки запертых транзисторов P_A и N_{B2}

На рис. 9 приведены зависимости напряжений на узлах триггера С-элемента, хранящего логический “0” в узлах ABCD = 0101. На рис. 9а даны за-

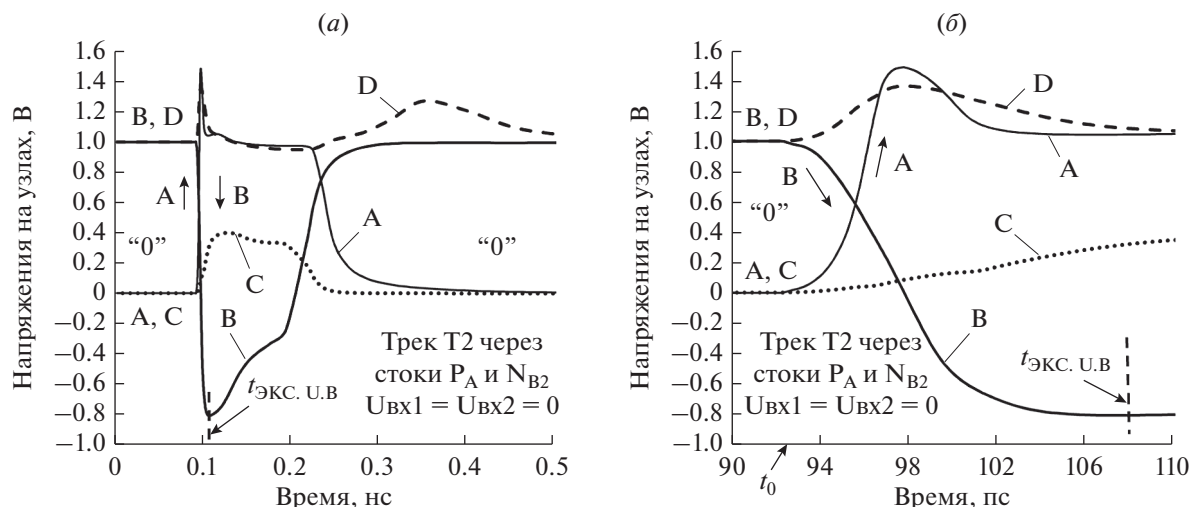


Рис. 9. Напряжения на узлах С-элемента в зависимости от времени, начальное логическое состояние триггера “0” (состояние узлов ABCD = 0101), трек T2 частицы при LET = 60 МэВ · см²/мг проходит в приборном слое на глубине 100 нм под стоковыми областями транзисторов P_A и N_{B2} из двух групп Group 1 (транзистор P_A) и Group 2 (транзистор N_{B2}), начало сбора заряда с трека $t_0 = 92.5$ пс, напряжения на входах инверторов элемента в режиме передачи $U_{вх1} = U_{вх2} = 0$: (а) зависимости в интервале 0.5 нс; (б) увеличенный масштаб начальной части переходного процесса.

висимости в интервале до 0.5 нс, а на рис. 9б – зависимости переходного процесса от 90 до 110 пс. В исходном состоянии узлов ABCD = 0101 транзисторы P_A и N_{B2} заперты. Трек T2 появляется при $t_0 = 92.5$ пс и проходит под стоковыми областями транзисторов P_A и N_{B2} на глубине 100 нм от поверхности рис. 9 того истока транзистора N_{B2} соединен с стоком N_{B1}, а его исток соединен с стоком N_B, что образует каскадное соединение транзисторов, подобное соединению и у транзисторов N_{2,2} и N_{2,1} (рис. 7а). Транзисторы N_{B1}, N_B, N_{2,2} и N_{2,1} расположены рядом с N_{B2} (рис. 7б) и могут совместно собирать заряд с трека T2, перенося этот заряд на емкость узла В.

Сбор заряда с трека начинается при $t_0 = 92.5$ пс. Переход транзисторов N_{B1} и N_{2,2} из запертого состояния в инверсный режим смещения происходит за 5.5 пс (зависимость напряжения на узле В в интервале от 92.5 до 98 пс на рис. 9б). В этот же интервал времени сбор заряда с трека транзистором P_A поднимает напряжение на емкости узла А от 0 до максимума $U_{ЭКС.А} = 1.48$ В при $t_{ЭКС.А} = 98$ пс. В итоге транзистор P_A оказывается в инверсном смещении через $\Delta t_{ЭКС.А} = 5.5$ пс после начала сбора заряда.

Продолжающийся после $t_{ЭКС.А} = 98$ пс сбор заряда группой транзисторов N_{B2}, N_{B1}, N_B, N_{2,2} и N_{2,1} приводит к снижению напряжения на узле В до минимума $U_{ЭКС.В} = -0.81$ В при $t_{ЭКС.В} = 108$ пс через $\Delta t_{ЭКС.В} = 15.5$ пс после начала сбора заряда. При этом и транзисторы N_{B1}, N_B, N_{2,1} переходят в инверсный режим смещения. Затем начинается

восстановление начального уровня напряжения на узле В до напряжения источника питания 1.0 В через разряд емкости узла током стока открытого транзистора P_{2,2} и возврат всех узлов триггера в исходное логическое состояние ABCD = 0101. Длительность нестационарного состояния $t_{SET} = 150$ пс.

5. АНАЛИЗ РЕЗУЛЬТАТОВ МОДЕЛИРОВАНИЯ

Тестовым воздействием при моделировании был сбор заряда с треков, проходящих в приборной части структуры триггера параллельно поверхности на некоторой глубине и с треков, направленных по нормали к поверхности приборной части. Треки, проходящие в кристалле параллельно поверхности, имеет наклон трека 90°, который отсчитывается от нормали к поверхности. При моделировании сбор заряда с таких треков приводит к максимальному эффекту, что подтверждается и экспериментами, в результате которых [6, 14, 15] подтверждена максимальная интенсивность сбоев DICE триггеров по объемной КМОП технологии при наклоне трека 80° относительно нормали к поверхности кристалла.

В табл. 1 приведены параметры переходных процессов при сборе заряда с треков транзисторами в инверсном состоянии, имеющие существенные значения отклонений напряжений на узлах; указаны рисунки, на которых приведены зависимости и обозначения узла триггера, к которому относится параметры. В табл. 1 использованы следующие обозначения параметров: LET – линейная передача энергии частицей на трек; t_0 –

Таблица 1. Параметры переходных процессов при сборе заряда с треков транзисторами в инверсном состоянии

Номер раздела	2.2	2.3	3.1	3.2	4.1	4.2
Зависимости	рис. 2	рис. 3	рис. 5	рис. 6	рис. 8	рис. 9
Узел триггера	D	D	A	A	A	B
LET, МэВ · см ² /мг	18	41	60	60	60	60
t ₀ , пс	35	87	24	23	510	92.5
U _{ЭКС.У} , В	-0.52	-0.68	-0.57	-0.816	1.70	-0.81
Δt _{ЭКС.У} , пс	12.2	11	8.2	7.0	10	15.5
I _{ЭКС.І} , мкА	127.5	226	184.5	61.7	390	337
Δt _{ЭКС.І} , пс	6.4	8.9	2.2	2.63	30	25.5
t _{SET} , пс	95	250	155	320 (SEU)	120	150

момент времени начала сбора заряда с трека; U_{ЭКС.У} – экстремум (максимум или минимум) импульса напряжения на узле; Δt_{ЭКС.У} – интервал времени от начала сбора заряда до момента экстремума импульса напряжения на узле; I_{ЭКС.І} – экстремум (максимум) импульса фототока через узел; Δt_{ЭКС.І} – интервал времени от начала сбора заряда до экстремума импульса фототока; t_{SET} – длительность нестационарного состояния элемента при сборе заряда с трека. В табл. 1 в столбцах после номера рисунка указан узел элемента, к которому относятся значения параметров.

Отклонения экстремумов импульсов напряжения (максимума или минимума) от напряжений на шине питания или общей шине находятся в пределах от 0.52 до 0.816 В. Интервалы времени от начала сбора заряда с трека до экстремума напряжения на узле Δt_{ЭКС.У} были в пределах от 7.0 до 15.5 пс при сборе заряда с треков транзисторами в инверсном активном режиме смещения. Длительность нестационарного состояния при сборе заряда зависит как от токов транзисторов, выводящих заряд с трека на узлы триггера, так и разряда узлов токами утечки закрытых или токами открытых транзисторов, соединенных с этим узлом.

Экстремумы импульсов фототока при сборе заряда практически всегда не совпадают во времени с экстремумами импульса напряжения того же узла (табл. 1), что объясняется отсутствием непрерывной связи изменения напряжения на узле и тока через узел в связи с нелинейным и импульсным изменением режима работы транзисторов.

В табл. 2 приведены параметры перехода узлов триггеров из одного логического уровня в другой при сборе заряда с трека: длительность перехода Δt_{ПЕР.ЛОГ.У} при перезаряде узла на величину напряжениями питания; заряд, собранный с трека в этот интервал времени ΔQ_{ПЕР.ЛОГ.}. Эти параметры

находятся в диапазонах: Δt_{ПЕР.ЛОГ.У} = 0.6–5.2 пс, ΔQ_{ПЕР.ЛОГ.} = 0.11–1.1 фКл.

В представленных переходных процессах сбора заряда есть транзисторы, переходящие в инверсный режим смещения с отклонением напряжения на узле от напряжения на шине питания или общей шины в диапазоне ΔU_{ЭКС.У} = 0.52–0.816 В (табл. 1). При этом МОП транзисторы собирают заряд в инверсном режиме смещения, переходя в него как из запертого состояния (узлы D зависимостей на рис. 2 и 3, узел A на рис. 5 и узел B на рис. 9), так и из открытого состояния (узлы A на рис. 6 и 8) с момента перехода напряжения U_{СИ} = 0.

В табл. 2 приведены и параметры сбора заряда транзистором в инверсном состоянии: длительность инверсного активного состояния Δt_{ИНВ} и заряд, прошедший через транзистор за этот промежуток времени ΔQ_{ИНВ}. Значения этих параметров в основном находятся в следующих диапазонах: Δt_{ИНВ} = 16–73 пс и ΔQ_{ИНВ} = 1.3–5.8 фКл.

Значения, выходящие за границы этих диапазонов, Δt_{ИНВ} = 103 пс и ΔQ_{ИНВ} = 25.8 фКл, относятся к логическому С-элементу (рис. 7) при сборе заряда с трека, проходящего под стоками транзисторов N_{B2} и P_A из двух групп транзисторов триггера. Транзисторы N_{B2}, N_{2.2} и N_{2.1} узла B собирают заряды при инверсном смещении, что приводит к значению заряда ΔQ_{ИНВ.В} = 25.8 фКл при длительности сбора Δt_{ИНВ.В} = 103 пс. Зависимости напряжений на узлах приведены на рис. 9. Что касается транзистора P_A узла A, то собранный им заряд в инверсном состоянии ΔQ_{ИНВ.А} = 0.05 фКл мал при Δt_{ИНВ.А} = 2.4 пс. Поэтому в нестационарном состоянии триггера (рис. 9) узел A сохранил логический уровень “1”, что исключило сбой триггера.

Длительности инверсного состояния и значения собранных зарядов в случае RS триггера при

Таблица 2. Параметры перехода узлов триггера из одного логического уровня в другой и параметры инверсного активного состояния транзисторов при сборе заряда с трека

Номер раздела	2.2	2.3	3.1	3.2	4.1	4.2
Зависимости	рис. 2	рис. 3	рис. 5	рис. 6	рис. 8	рис. 9
Узел триггера	D	D	A	A	A	B
LET, МэВ · см ² /мг	18	41	60	60	60	60
$\Delta t_{\text{ПЕР.ЛОГ.У}}$, пс	5.0	5.0	0.6	220*	94*	5.2
$\Delta Q_{\text{ПЕР.ЛОГ}}$, фКл	0.5	0.4	0.11	8.4*	12.1*	1.1
$\Delta t_{\text{ИНВ}}$, пс	38	16	57	73	38	103
$\Delta Q_{\text{ИНВ}}$, фКл	4.1	1.3	4.6	3.7	5.8	25.8

Примечание. * Значения параметра относятся к процессу разряда узла на величину напряжения питания при завершении переходного процесса.

переходе из запертого состояния (триггер в состоянии логической “1”, узел А на рис. 5), так и из открытого состояния (триггер в состоянии логического “0”, узел А на рис. 6) имеют близкие значения (табл. 2): $\Delta t_{\text{ИНВ}} = 57$ и 73 пс, $\Delta Q_{\text{ИНВ}} = 4.6$ и 3.7 фКл. При этом характер зависимостей напряжений узла А во времени для этих двух случаев практически одинаков.

При сборе заряда с трека, проходящего через транзистор одной из двух групп транзисторов в случае расположения групп без их разнесения и в конкретном примере без зазора между ЛМОП транзисторами соседних узлов (рис. 4б) был сбой состояния триггера с длительностью нестационарного состояния 320 пс (рис. 6). Подтверждено – если группы транзисторов триггера STG DICE разнесены на достаточное расстояние, то сбои отсутствуют.

ЗАКЛЮЧЕНИЕ

Моделирование сбора заряда транзисторами триггеров со структурой STG DICE проводилось средствами TCAD. Выбор тестовых треков обоснован выявлением проблем, которые могут возникнуть в реальных условиях при воздействии одиночных ядерных частиц. Сбор заряда с трека одиночной ядерной частицы происходит в пикосекундном диапазоне времени. Установлено, что сбор заряда с трека МОП транзисторами начинается в запертом или в открытом состоянии, а затем переходит в сбор заряда в инверсном состоянии. Длительность нахождения транзисторов в инверсном состоянии для триггерных КМОП элементов по объемной 65-нм технологии составляет от 2 до 100 пс. Результаты моделирования подтвердили высокую помехоустойчивость и быстроту действия триггеров с структурой STG DICE. Переходя в режим нестационарного состояния STG DICE, триггеры разных модификаций всегда после его окончания переходят в исходное состояние, ес-

ли две группы транзисторов, образующие триггер, разнесены на необходимое расстояние. Длительность нестационарного состояния STG DICE триггеров с проектной нормой 65-нм КМОП находилась в пределах от 150 до 320 пс при линейной передаче энергии частицей на трек 60 МэВ · см²/мг.

СПИСОК ЛИТЕРАТУРЫ

1. *Calin T., Nicolaidis M., Velazco R.* Upset hardened memory design for submicron CMOS technology // IEEE Transactions on Nuclear Science. 1996. V. 43. № 6. P. 2874–2878.
2. *Катунин Ю.В., Стенин В.Я., Степанов П.В.* Моделирование характеристик триггерных элементов КМОП двухфазной логики с учетом разделения заряда при воздействии отдельных ядерных частиц // Микроэлектроника. 2014. Т. 43. № 2. С. 104–117.
3. *Стенин В.Я.* Моделирование характеристик КМОП 28-нм ячеек DICE в нестационарных состояниях, вызванных воздействием одиночных ядерных частиц // Микроэлектроника. 2015. Т. 44. № 5. С. 368–379.
4. *Стенин В.Я., Катунин Ю.В., Степанов П.В.* Сбоеустойчивые ОЗУ на основе STG DICE элементов памяти с разделенными на две группы транзисторами // Микроэлектроника. 2016. Т. 45. № 6. С. 456–470.
5. *Seifert N., Gill B., Foley K., Relangi P.* Multi-cell upset probabilities of 45 nm high-k +metal gate SRAM devices in terrestrial and space environments // Proceedings of IEEE International Reliability Physics Symposium. 2008. P. 181–186.
6. *Warren K.M., Stenberg A.L., Black J.D., Weller R.A., Reed R.A., Mendenhall M.H., Schrimpf R.D., Massengill L.W.* Heavy ion testing and single-event upset rate prediction considerations for a DICE flip-flop // IEEE Transactions on Nuclear Science. 2009. V. 56. № 6. P. 3130–3137.
7. *Seifert N.P., Ambrose V., Gill B., Shi Q., Allmon R., Recchia C., Mukherjee S., Nassif N., Krause J., Pickholtz J., Balasubramanian A.* On the radiation-induced soft error performance of hardened sequential elements in ad-

- vanced bulk CMOS technologies // Proceedings of IEEE International Reliability Physics Symposium. 2010. P. 188–197.
8. Стенин В.Я., Черкасов И.Г. Влияние топологии субмикронных КМОП ячеек памяти DICE на чувствительность ОЗУ к воздействию отдельных ядерных частиц // Микроэлектроника. 2011. Т. 40. № 3. С. 184–190.
 9. Toure G., Hubert G., Castellani-Coulie K., Duzellier S., Portal J.-M. Simulation of single and multi-node collection: impact on SEU occurrence in nanometric SRAM cells // IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 862–869.
 10. Lilja K., Bounasser M., Wen S., Wong R., Holst J., Gaspard N., Jagannathan S., Loveless D., Bhuvu B. Single event performance and layout optimization of flip-flops in a 28-nm bulk technology // IEEE Transactions on Nuclear Science. 2013. V. 60. № 4. P. 2782–2788.
 11. Massengill L.W., Bhuvu B.L., Holman W.T., Alles M.L., Loveless T.D. Technology scaling and soft reliability // Proceedings of IEEE International Reliability Physics Symposium. 2012. P. 3.C.1.1–3.C.1.7.
 12. Gaspard N., Jagannathan S., Diggins Z., McCurdy M., Loveless T.D., Bhuvu B.L., Massengill L.W., Holman W.T., Oates T.S., Fang Y-P., Wen S.-J., Wong R., Lilja K., Bounasser M. Estimation of hardened flip-flop neutron soft error rates using SRAM multiple-cell upset data in bulk CMOS // Proceedings of IEEE International Reliability Physics Symposium. 2013. P. SE.6.1–SE.6.5.
 13. Стенин В.Я., Степанов П.В. Базовые элементы памяти на основе ячеек DICE для сбоеустойчивых КМОП 28 нм ОЗУ // Микроэлектроника. 2015. Т. 44. № 6. С. 416–427.
 14. Baze M.P., Hughlock B., Wert J., Tostenrude J., Massengill L., Amusan O., Lacoé R., Lilja K., Johnson M. Angular dependence of single-event sensitivity in hardened flip/flop design // IEEE Transactions on Nuclear Science. 2008. V. 55. № 6. P. 3295–3301.
 15. Loveless T.D., Jagannathan S., Reece T., Chetia J., Bhuvu B.L., McCurdy M.W., Massengill L.W., Wen S.-J., Wong R., Rennie D. Neutron- and proton-induced single event upsets for D- and DICE-flip/flop designs at a 40 nm technology node // IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 1008–1014.
 16. Uznanski S., Gasiot G., Roche P., Tavernier C., Autran J.-L. Single event upset and multiple cell upset modeling in commercial bulk 65-nm CMOS SRAMs and flip-flops // IEEE Transactions on Nuclear Science. 2010. V. 57. № 4. P. 1876–1883.
 17. Giot D., Roche P., Gasiot G., Autran J.-L., Harboe-Sørensen R. Heavy ion testing and 3D simulations of Multiple Cell Upset in 65 nm standard SRAMs // IEEE Transactions on Nuclear Science. 2008. V. 55. № 4. P. 2048–2054.
 18. Wang T., Xiao L., Huang Q. Simulation study of single event effect for different N-well and Deep-N-well doping in 65nm triple-well CMOS devices // Proceedings of International Conference on Optoelectronics and Microelectronics. 2012. P. 505–509.
 19. Artola L., Hubert G., Duzellier S., Bezerra F. Collected charge analysis for a new transient model by TCAD simulation in 90 nm technology // IEEE Transactions on Nuclear Science. 2010. V. 57. № 4. P. 1869–1875.
 20. Катунин Ю.В., Стенин В.Я. TCAD моделирование эффектов воздействия одиночных ядерных частиц на ячейки памяти STG DICE // Микроэлектроника. 2018. Т. 47. № 1. С. 23–37.
 21. Katunin Yu.V., Stenin V.Ya. The STG DICE cell with the decoder for reading data in steady and unsteady states for hardened SRAM // in IEEE Xplore (Conference Section, RADECS-2017), e-book. 2019. P. 171–178.
 22. Стенин В.Я., Катунин Ю.В. Моделирование эффектов воздействия одиночных ядерных частиц на STG RS триггер с разделением транзисторов на две группы // Микроэлектроника. 2018. Т. 47. № 6. С. 451–459.
 23. Катунин Ю.В., Стенин В.Я. Логический С-элемент на основе STG DICE триггера для асинхронных цифровых устройств, устойчивых к воздействиям одиночных ядерных частиц // Микроэлектроника. 2019. Т. 48. № 3. С. 176–190.
 24. Катунин Ю.В., Стенин В.Я. Элемент совпадения на основе ячейки памяти STG DICE для ассоциативных запоминающих устройств, сбоеустойчивых к воздействиям одиночных ядерных частиц // Микроэлектроника. 2018. Т. 47. № 2. С. 158–174.
 25. Garg R., Khatri S.P. Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York: Springer, 2010. P. 194–205.
 26. Nicolaidis M. Soft errors in modern electronic systems. New York: Springer, 2011. P. 35–37.