

УДК 004.414.23

СИНТЕЗ ЭНЕРГОЭФФЕКТИВНЫХ СХЕМ ТРИГГЕРОВ НА ОСНОВЕ ПОСЛЕДОВАТЕЛЬНО-ПАРАЛЛЕЛЬНЫХ СТРУКТУР МОП-ТРАНЗИСТОРОВ

© 2020 г. А. А. Кулакова¹, *, Е. Б. Лукьяненко¹, **¹Инжиниринговый центр приборостроения, радио- и микроэлектроники Южного федерального университета, ул. Шевченко, 2, г. Таганрог, Ростовская область, 347922 Россия

*E-mail: anastasya.staryh@mail.ru

**E-mail: luk101010@mail.ru

Поступила в редакцию 30.05.2019 г.

После доработки 04.10.2019 г.

Принята к публикации 10.10.2019 г.

Рассматривается проблема синтеза энергоэффективных электронных схем триггеров, основанного на применении массивов p - и n -канальных МОП-транзисторов, расположенных в верхней и нижней полуплоскостях схемы. Предложена методика синтеза D-, RS-, JK-триггеров на основе таблицы истинности, прямой и инвертированной карт минтермов, а также выражений, описывающих массивы транзисторов. Рассматриваются варианты схем с выходным инвертором и без него. Показано, что синтезированные схемы обладают высокими характеристиками и превосходят схемы на логических элементах по эффективности в 2–4 раза.

DOI: 10.31857/S0544126920020064

ВВЕДЕНИЕ

В работах [1, 2] рассмотрена схемотехника КМОП-триггеров, реализованных на различных принципах. Однако важно использовать такую элементную базу, чтобы можно было применить к этим схемам известные программы проектирования БМК, ПЛИС.

Ниже предлагаются схемы различных триггеров, имеющие не только высокую энергоэффективность, но и совместимые с современным программным обеспечением.

D-ТРИГГЕР

Наиболее простой схемой D-триггера является триггер на мультиплексорах, выполненный на основе массива p - и n -канальных МОП-транзисторов, расположенных в верхней и нижней полуплоскостях [3].

Синтез таких схем производится на основе таблицы функционирования триггера (табл. 1).

В табл. 1 обозначено: Q – предыдущее состояние триггера, d – информационный сигнал, C – тактовый сигнал.

По таблице истинности составляются карты минтермов в прямом и инвертированном виде (рис. 1).

Из карт находятся выражения, описывающие массивы транзисторов [4].

$$Q_{[1]}^{n+1} = dC + Q\bar{C},$$

$$Q_{[0]}^{n+1} = d\bar{C} + QC.$$

По этим выражениям синтезируется схема одноступенчатого D-триггера [1, 4]. Добавив аналогичный триггер (с инверсией тактовых сигналов) в качестве второй ступени, получаем D-триггер с динамическим управлением (рис. 2).

Для измерения параметров схемы применена САПР OrCAD. Использовались модели КМОП-транзисторов BSIM4 [5] при 0.18 микронной технологии. Длительность такта выбрана равной 20 нс, напряжение питания – 3.3 В. Периметр и площадь областей стока и истока рассчитаны по методике, приведенной в [6].

Схема синтезированного D-триггера обладает следующими параметрами: $t_{3,п.} = 0.14$ нс; $P_{cp} = 0.026$ мВт; $N = 22$ шт.; $L = 0.08$ пДж · шт., где L –

Таблица 1. Функционирование триггера

C	Q^{n+1}
0	Q
1	d

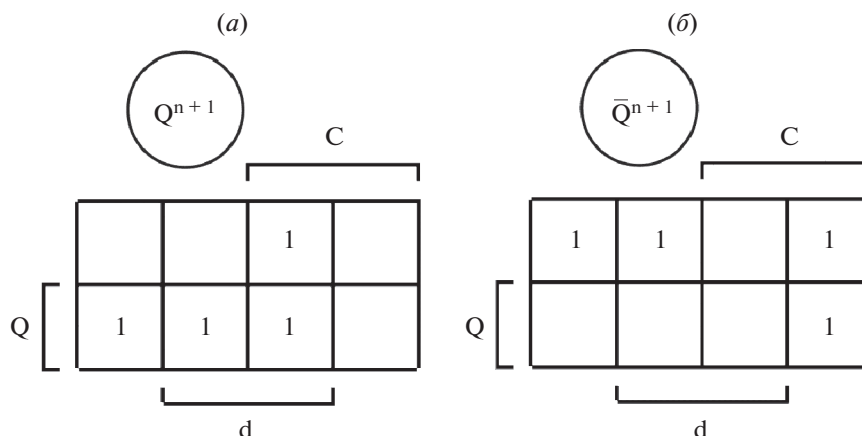


Рис. 1. Карта минтермов D-триггера в прямом (а) и инвертированном (б) виде.

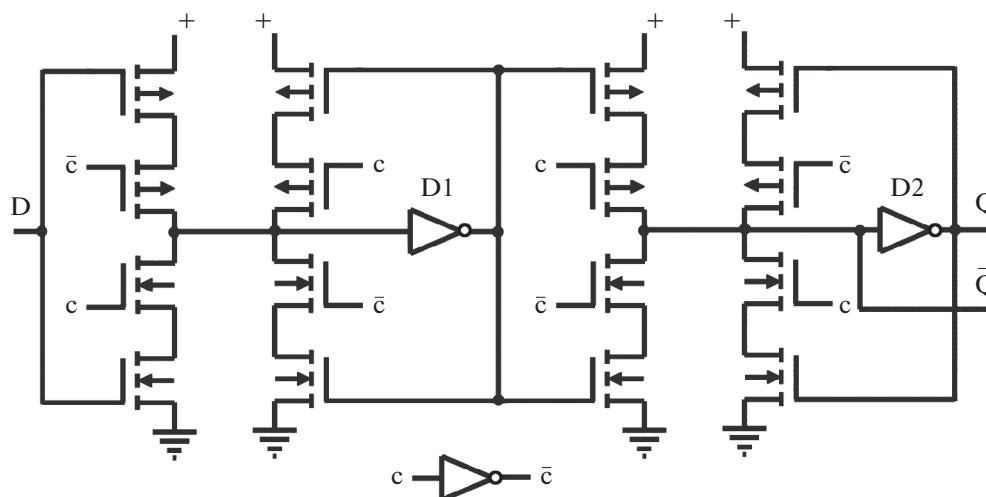


Рис. 2. Схема D-триггера с динамическим управлением.

энергоэффективность схемы, равная произведению задержки распространения ($t_{з.р.}$) на среднюю рассеиваемую мощность ($P_{ср}$) и на количество транзисторов (N) [4, 7]. Задержка распространения определялась как среднее значение при различных значениях выходного сигнала [8]. Средняя рассеиваемая мощность определялась путем усреднения (программно) мгновенной мощности в конце отрезка измерения [9].

Для организации сброса необходимо добавить по два МОП-транзистора в каждую ступень. Один транзистор (в верхней полуплоскости) сбрасывает триггер в логический ноль, а второй (в нижней полуплоскости) защищает схему от сквозного протекания тока (рис. 3).

Активный уровень сигнала сброса (Reset) – логический ноль. Такая схема имеет параметры: $t_{з.р.} = 0.18$ нс; $P_{ср} = 0.029$ мВт; $N = 26$ шт.; $L = 0.14$ пДж · шт.

К недостаткам D-триггера на мультиплексах можно отнести одновременное появление прямого и инверсного выходных сигналов, что может привести к гонкам сигналов.

Для устранения этого недостатка можно использовать дополнительную выходную схему без инвертора. Синтез таких схем так же производится на основе карт минтермов. На основе инвертированной карты Карно (см. рис. 1б) составляем уравнение формирователя нулей, находящегося в нижней полуплоскости.

$$Q_{[0]}^{n+1} = \bar{C}\bar{Q} + C\bar{D}.$$

На основе прямой карты Карно (см. рис. 1а) составляется уравнение, в котором инвертируем все переменные. Получаем уравнение формирователя единиц, расположенного в верхней полуплоскости.

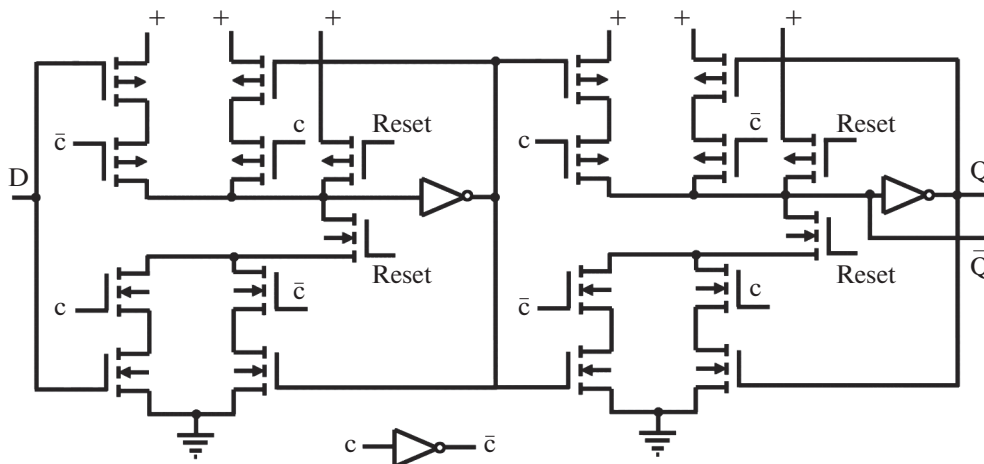


Рис. 3. Схема D-триггера со сбросом.

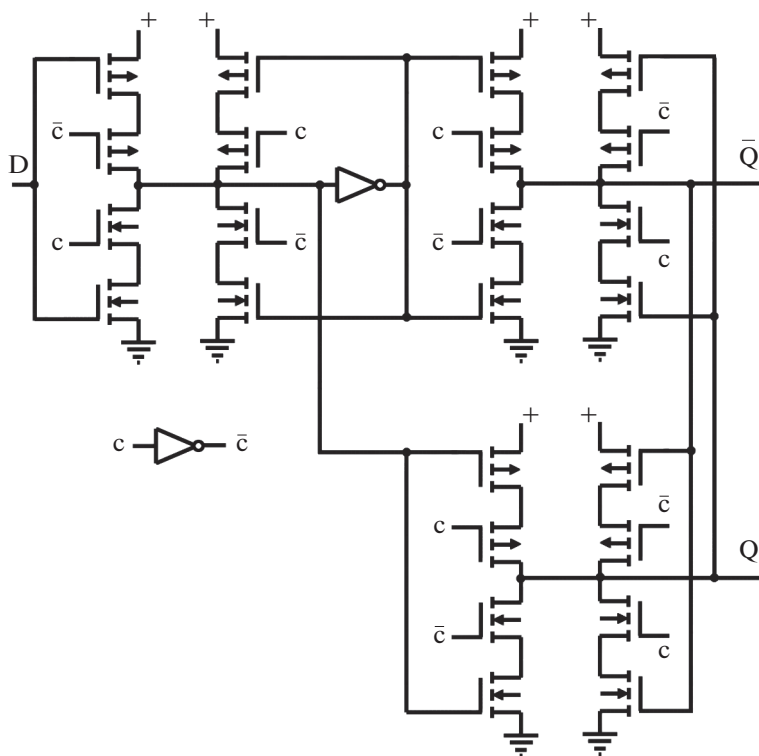


Рис. 4. Схема D-триггера со строго противоположными выходными сигналами.

$$Q_{II}^{n+1} = \bar{Q}C + \bar{C}\bar{D}$$

$$t_{з.п.} = 0.13 \text{ нс}; P_{cp} = 0.031 \text{ мВт};$$

$$N = 28 \text{ шт.}; L = 0.11 \text{ пДж} \cdot \text{шт.}$$

Схема D-триггера с симметричными выходными сигналами приведена на рис. 4.

Чтобы не использовать на выходе инверторы, выходные сигналы соединяются с транзисторами “накрест”. Такая схема, наряду с одновременным появлением на выходе прямого и инверсного сигнала, имеет следующие параметры:

Для сравнения, D-триггер на логических элементах (без сброса) имеет следующие характеристики:

$$t_{з.п.} = 0.21 \text{ нс}; P_{cp} = 0.042 \text{ мВт};$$

$$N = 34 \text{ шт.}; L = 0.3 \text{ пДж} \cdot \text{шт.}$$

Таблица 2. Таблица истинности

S	R	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	н/о

Таким образом, эффективность предложенных схем D-триггеров в 2–4 раза выше, чем у схем на логических элементах.

RS-ТРИГГЕРЫ

Двухступенчатый RS-триггер можно реализовать на основе D-триггера и комбинационной схемы, соответствующей характеристическому уравнению RS-триггера.

Характеристическое уравнение триггера можно получить из таблицы истинности (табл. 2).

В схемах на логических элементах комбинация входных сигналов $S = R = 1$ является запрещенной, так как приводит к неопределенному выходному сигналу. При синтезе схемы блочным методом можно задать любое значение Q^{n+1} : 0, 1, Q, не приводящее к чрезмерному усложнению схемы. Рассмотрим варианты схем RS-триггера при различных значениях выходного сигнала в режиме $S = R = 1$.

Обобщенная схема RS-триггера с комбинационной частью имеет вид, показанный на рис. 5.

Комбинационная часть рассчитывается, исходя из таблицы функционирования триггера. D-триггер берется двухступенчатый, из разработанных схем.

Определим уравнения, описывающие комбинационную часть. Задаемся значением выходного сигнала $Q^{n+1} = 1$ при $S = R = 1$. Тогда выходной сигнал (из табл. 2) будет равен

$$Q^{n+1} = \bar{S}\bar{R}Q + S\bar{R} + SR.$$

Прямая и инвертированная карты Карно для полученного уравнения показаны на рис. 6.

Из карт получаем уравнения, описывающие формирователи нулей и единиц, расположенные в нижней и верхней полуплоскостях схемы, не содержащей инвертора.

$$Q_{[0]}^{n+1} = \bar{S}(\bar{Q} + R),$$

$$Q_{[1]}^{n+1} = \bar{S} + R\bar{Q}.$$

Аналогично, при $S = R = 1$ и $Q^{n+1} = 0$:

$$Q_{[0]}^{n+1} = R + \bar{Q}\bar{S},$$

$$Q_{[1]}^{n+1} = R(\bar{S} + \bar{Q}).$$

И при $S = R = 1$ и $Q^{n+1} = Q$:

$$Q_{[0]}^{n+1} = \bar{Q}(\bar{S} + R) + R\bar{S},$$

$$Q_{[1]}^{n+1} = \bar{Q}(R + \bar{S}) + R\bar{S}.$$

На основе полученных уравнений синтезируем комбинационные части схем RS-триггеров (рис. 7).

Параметры RS-триггеров измерялись при подаче входных сигналов в последовательности, приведенной в табл. 2.

При использовании комбинационных схем (рис. 7а–7в соответственно) и схемы триггера (рис. 2) параметры RS-триггера равны:

$$t_{з.п.} = 0.16 \text{ нс}; P_{cp} = 0.022 \text{ мВт};$$

$$N = 30 \text{ шт.}; L = 0.11 \text{ пДж} \cdot \text{шт.}$$

$$t_{з.п.} = 0.15 \text{ нс}; P_{cp} = 0.022 \text{ мВт};$$

$$N = 30 \text{ шт.}; L = 0.1 \text{ пДж} \cdot \text{шт.}$$

$$t_{з.п.} = 0.16 \text{ нс}; P_{cp} = 0.024 \text{ мВт};$$

$$N = 34 \text{ шт.}; L = 0.13 \text{ пДж} \cdot \text{шт.}$$

Параметры схемы на логических элементах, полученные при исключении входных сигналов $R = S = 1$, равны:

$$t_{з.п.} = 0.2 \text{ нс}; P_{cp} = 0.033 \text{ мВт};$$

$$N = 34 \text{ шт.}; L = 0.22 \text{ пДж} \cdot \text{шт.}$$

В синтезированном RS-триггере использование различных комбинационных частей позволило получить определенные состояния при уровне

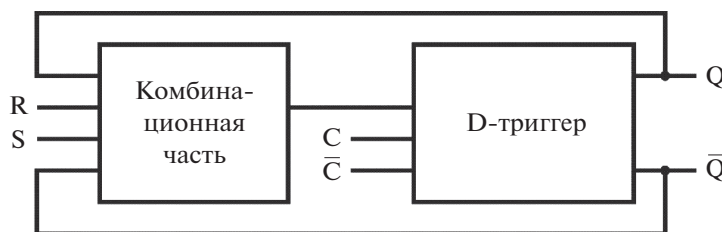


Рис. 5. Обобщенная схема RS-триггера с комбинационной частью.

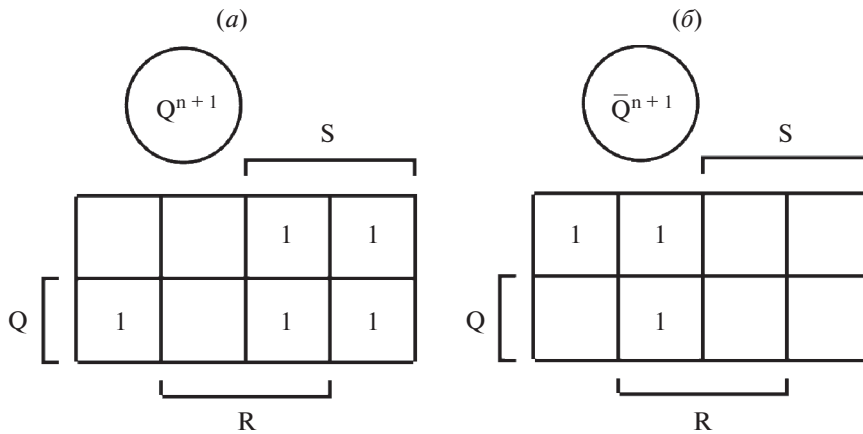


Рис. 6. Карта Карно RS-триггера в прямом (а) и инвертированном (б) виде.

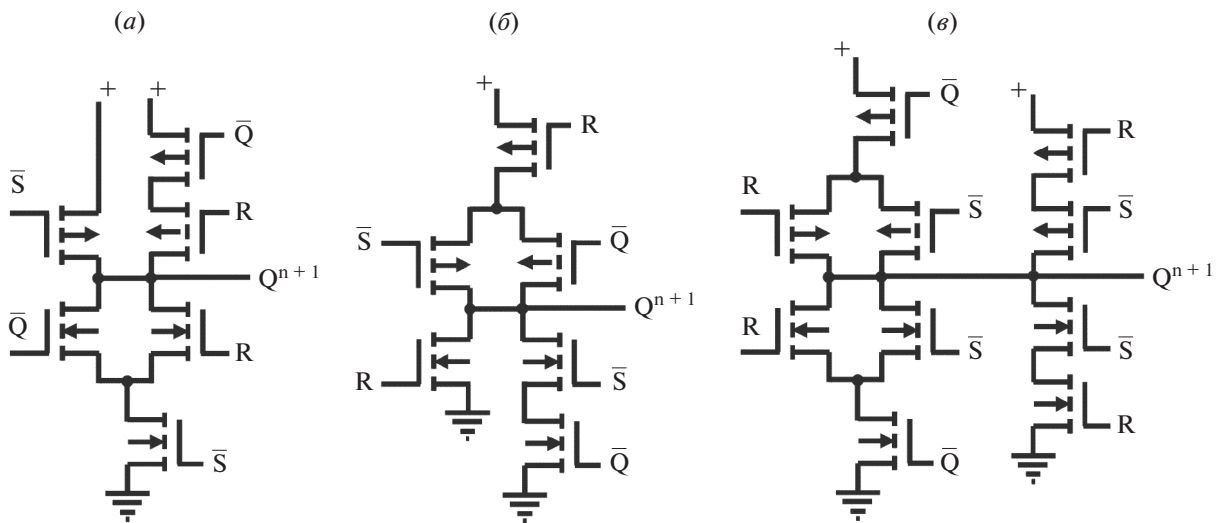


Рис. 7. Схемы комбинационной части RS-триггера при входных сигналах $R = S = 1$ и выходном сигнале $Q^{n+1} = 1$ (а), $Q^{n+1} = 0$ (б), $Q^{n+1} = Q$ (в).

входных сигналов $R = S = 1$. Особый интерес представляет схема, в которой при этой комбинации входных сигналов на выходе сохраняется предыдущее состояние триггера. Энергоэффективность предложенных схем RS-триггера в 1.7–2.2 раза выше, чем на логических элементах.

JK-ТРИГГЕР

В табл. 2, заменив S и R на J и K соответственно, и положив $Q^{n+1} = \bar{Q}$ при $S = R = 1$, запишем характеристическое уравнение JK-триггера:

$$Q^{n+1} = \bar{J}\bar{K}Q + J\bar{K} + JK\bar{Q}.$$

На основе этого уравнения составим карты Карно в прямом и инвертированном виде (рис. 8).

Синтезируем комбинационную схему без инвертора. Тогда описания массивов МОП-транзисторов в нижней и верхней полуплоскостях будут иметь вид:

$$Q_{[0]}^{n+1} = \bar{J}\bar{Q} + KQ,$$

$$Q_{[1]}^{n+1} = \bar{Q}K + J\bar{Q}.$$

По этим уравнениям можно синтезировать комбинационную часть JK-триггера. В состав JK-триггера включаем двухступенчатый D-триггер, в который добавим систему сброса. Получим высокоэффективный JK-триггер со сбросом (рис. 9).

Разработанный JK-триггер имеет следующие параметры:

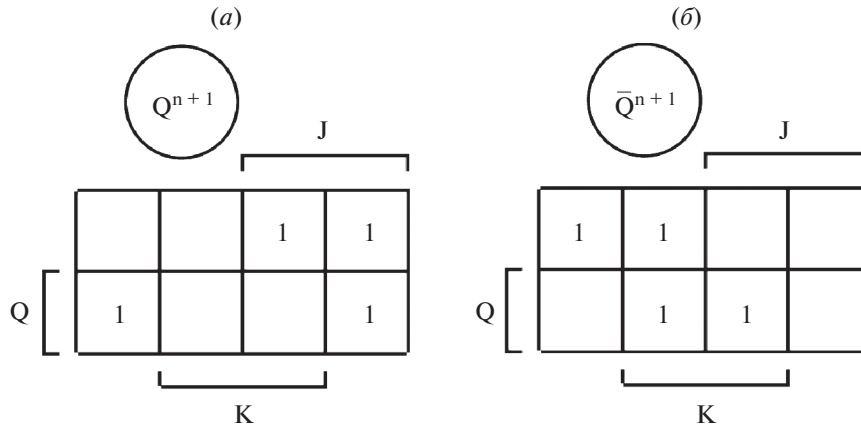


Рис. 8. Карты минтермов JK-триггера в прямом (а) и инвертированном (б) виде.

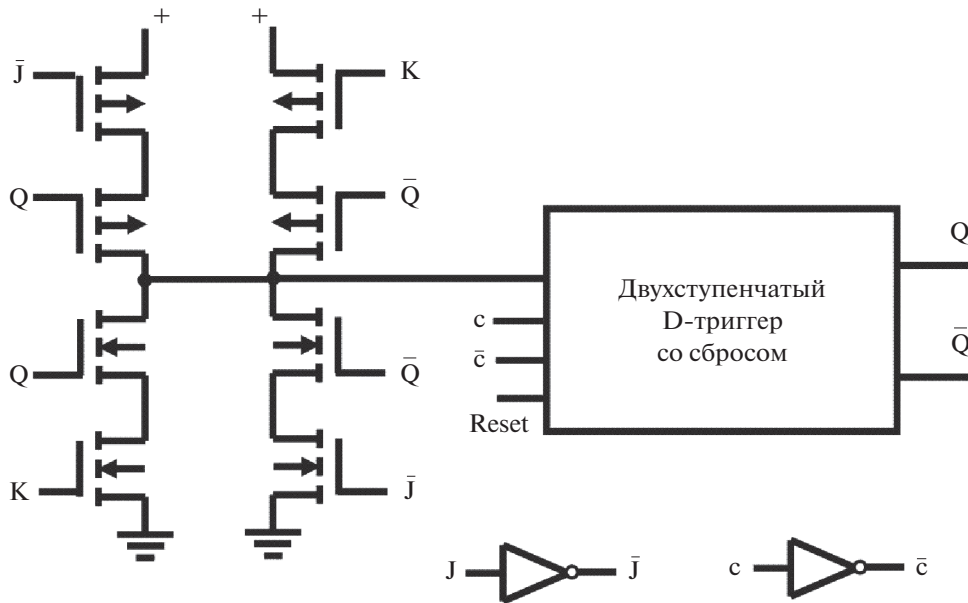


Рис. 9. Схема синтезированного JK-триггера со сбросом.

$t_{з.р.} = 0.19$ нс; $P_{ср} = 0.038$ мВт;
 $N = 36$ шт.; $L = 0.26$ пДж · шт.

Аналогичный JK-триггер на логических элементах имеет параметры:

$t_{з.р.} = 0.24$ нс; $P_{ср} = 0.052$ мВт;
 $N = 50$ шт.; $L = 0.62$ пДж · шт.

Эффективность разработанного JK-триггера выше аналогичного на логических элементах в 2.4 раза.

ЗАКЛЮЧЕНИЕ

Предложена методика синтеза триггерных схем с применением массива p - и n -канальных

МОП-транзисторов, содержащего на выходе инвертор или без него. Использование элементной базы, находящейся на более высокой ступени иерархии, чем логические схемы, позволило получить лучшие характеристики триггерных схем, в том числе и более высокую эффективность. Моделирование схем показало, что эффективность разработанных схем в 2–4 раза выше, чем выполненных на логических элементах.

СПИСОК ЛИТЕРАТУРЫ

1. Рабаи Ж.М., Чандракасан А., Николич Б. Цифровые интегральные схемы. М.: ООО “И.Д. Вильямс”. 2007. 912 с.

2. *Строгонов А.В.* Схемотехника КМОП-триггеров заказных БИС // Компоненты и технологии. 2007. № 4. С. 196–200.
3. *Плеханов Л.П.* Основы самосинхронных электронных схем. М.: БИНОМ. Лаборатория знаний. 2013. 208 с.
4. *Старых А.А.* Метод синтеза функциональных блоков комбинационных схем с использованием минтермов и макстермов // Электронная техника. Серия 2. Полупроводниковые приборы. 2015. Вып. 2–3(236–237). С. 63–69.
5. *Денисенко В.В.* Компактные модели МОП-транзисторов для SPICE в микро- и нанoeлектронике. М.: ФИЗМАТЛИТ, 2010. 408 с.
6. *Ракитин В.В.* Интегральные схемы на КМОП-транзисторах. М., 2007. 307 с.
7. *Старых А.А.* Метод синтеза запоминающих элементов самосинхронных схем // Нано- и микросистемная техника. 2016. Т. 18. № 3. С. 166–175.
8. *Кулакова А.А., Лукьяненко Е.Б.* Энергоэффективные КМОП-триггеры с инверторной запоминающей ячейкой // Известия вузов. Электроника. 2019. Т. 24. № 3.
9. *Кулакова А.А., Лукьяненко Е.Б.* Самосинхронный D-триггер с “защелкой” // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС–2018). М., 2018. С. 130–135.