УДК 621.382

ПРОТОТИП ИНТЕГРАЛЬНОЙ МИКРОСХЕМЫ КОНЦЕНТРАТОРА ДАННЫХ ДЛЯ ВРЕМЯ-ПРОЕКЦИОННОЙ КАМЕРЫ ЭКСПЕРИМЕНТА MPD

© 2022 г. Д. А. Азаров^{*a*}, Э. В. Аткин^{*a*, *}, П. Ю. Иванов^{*a*}, Д. Д. Норманов^{*a*, **}, А. Р. Серазетдинов^{*a*}, В. В. Шумихин^{*a*}

^аНациональный исследовательский ядерный университет "МИФИ", Каширское шоссе 31, Москва, 115409 Россия

E-mail: evatkin@mephi.ru* *E-mail: ddnormanov@mephi.ru* Поступила в редакцию 27.05.2021 г. После доработки 15.07.2021 г. Принята к публикации 28.08.2021 г.

Представлены результаты разработки прототипа специализированной интегральной микросхемы (СИМС) концентратора данных для время-проекционной камеры эксперимента MPD (НИКА, Дубна). СИМС предназначена для сериализации данных, поступающих от двух детекторных микросхем типа SAMPA и их передачи по электрическим кабелям типа AWG 36 длиной до 1 м со скоростью 2.56 Гбит/с к плате контроллера сбора данных. В статье описываются структура, основные характеристики и топология СИМС, а также протокол обмена данными с внешним контроллером. Приводится описание использованных проектных методов, направленных на обеспечение радиационной стойкости СИМС к воздействию высокоэнергетичных частиц. Прототипные образцы изготовлены по КМОП технологии с проектной нормой 65 нм компании TSMC и размещены в корпусах типа СРGA120. Общая потребляемая мощность СИМС не превышает 500 мВт.

DOI: 10.31857/S054412692202003X

1. ВВЕДЕНИЕ

В физических экспериментах на нуклотроне НИКА генерируется большой объем данных, для обработки которых требуется использование специализированной элементной базы. Система сбора данных время-проекционной камеры многоцелевого детектора MPD [1, 2] должна обеспечивать программирование, синхронизацию и прием данных с 24 время-проекционных камер (95232 каналов) со скоростью приема данных до 2.4 Тбит/с. Система сбора данных делится на 24 одинаковые подсистемы, каждая из которых обслуживает одну камеру и включает в себя суммарно 62 печатные платы со считывающей электроникой и контроллер управления. Платы расположены в непосредственной близости к время-проекционной камере и должны работать в радиационном окружении. Считывающая электроника должна функционировать при флюенсе заряженных частиц порядка 2×10^{11} частиц/см² [3]. Контроллер управления считыванием находится на расстоянии 1 м, вне радиационной зоны. Поток данных от одной время-проекционной камеры составляет 100 Гбит/с. Таким образом, объем данных поступающий от каждой детекторной печатной платы не превышает 2 Гбит/с.

В состав детекторной печатной платы входят две микросхемы SAMPA [4, 5] и одна микросхема концентратора данных. Сигналы от время-проекционной камеры на печатной плате считываются микросхемами SAMPA, в которых сигналы оцифровываются с частотой дискретизации 10 МГц. Из оцифрованных сигналов формируются пакеты данных, которые выводятся по 4-м выходным линиям интерфейса стандарта SLVS (с англ. Scalable Low-Voltage Signaling) со скоростью 320 Мбит/с. Эти данные проверяются концентраторной микросхемой с исправлением ошибок помехо- и сбое-устойчивым кодированием. Проверенные данные сериализуются и упорядочиваются с последующей передачей по двум коаксиальным линиям на скорости 2.56 Гбит/с к внешнему контроллеру управления считыванием.

В детекторных печатных платах [2] для концентрации данных используется ПЛИС. Данное решение реализует требуемый функционал концентрации данных, но не обеспечивает необходимый уровень стойкости к радиационному излучению.

Для замены ПЛИС спроектирована специализированная интегральная микросхема (СИМС) концентратора данных, в которой реализован требуемый для эксперимента функционал. СИМС

АЗАРОВ и др.



Рис. 1. Структура микросхемы.

спроектирована по КМОП технологии с проектной нормой 65 нм компании TSMC. Данная технология хорошо характеризована при воздействии ионизирующего излучения и широко применяется в CERN [6, 7]. Для обеспечения радиационной стойкости СИМС к общей дозе ионизирующего излучения, а также к одиночным эффектам от тяжелых частиц, что в первую очередь свойственно окружению эксперимента MPD, при проектировании применен ряд схемно-топологических методов.

2. СТРУКТУРА МИКРОСХЕМЫ И ЕЕ ОСНОВНЫЕ БЛОКИ

Разработанная прототипная СИМС концентратора данных принимает и обрабатывает данные от двух микросхем SAMPA, формирует из них пакеты данных, которые отправляет к плате контроллера. В состав каждого пакета входит: номер микросхемы, номер канала, информация об амплитуде и временной метке сигналов, поступающих от микросхем SAMPA.

Структурная схема СИМС концентратора данных показана на рис. 1. В ее состав входят:

1) интерфейсы стандарта SLVS для приема данных от 2-х микросхем SAMPA;

2) цифровые блоки, которые осуществляют концентрирование и формирование пакетов данных на частоте 2.56 ГГц;

 интерфейсы CML для двухстороннего обмена данными с платой контроллера;

4) блоки ФАПЧ и автоматической подстройки тактового сигнала и данных (в англ. clock data recovery (CDR)) для генерации тактового сигнала.

Данные от микросхем SAMPA поступают на 8 входных каналов, каждый из которых состоит из блока подстройки фазы и блока приемника пакетов. Блок подстройки фазы осуществляет фазовую подстройку входного сигнала к сигналу тактирования СИМ С. Блок имеет 2 режима выбора фазового сдвига — конфигурируемый и автоматический.

Синхронизированный поток бит поступает на блок приемника пакетов, который осуществляет анализ поступающих данных — выделяет заголовок пакета размером 50 бит, и сравнивает с известными шаблонами пакетов микросхем SAMPA. В случае совпадения с шаблоном выполняется проверка и исправление ошибок заголовка посредством декодирования кода Хэмминга. Проверенный и исправленный заголовок передается на блок формирователя пакетов, а приемник пакетов переходит в состояние приема блока данных пакета от SAMPA.

Формирователь пакетов формирует выходные пакеты и передает в один или два выходных канала. При одноканальном режиме пакеты передаются только по первому выходному каналу. Данный режим имеет приоритет и является основным. Двухканальный режим активируется при перегрузке первого канала при передаче данных в одноканальном режиме. Пакеты ответов на команды процессора команд передаются только по первому каналу.

Выходной канал состоит из блоков цифрового передатчика, сериалайзера, мультиплексора и передатчика стандарта CML (в англ. current mode logic). Цифровой передатчик осуществляет кодирование 8b/10b передаваемых данных. Если данные отсутствуют, блок генерирует передачу команд синхронизации. Также блок цифрового передатчика формирует последовательности восьмибитных данных для блока сериалайзера. Мультиплексоры имеют по два входа — от сериалайзеров и приемника CML. Для отладки и проверки нагрузочной способности блоков CML реализована петля приемник — мультиплексор — передатчик.



Рис. 2. Формат пакетов запроса и ответа.

Блок процессора команд обрабатывает командную часть поступившего пакета данных. Данные командной части анализируются, исполняется записанная в них команда и формируется пакет ответа, который поступает в тот интерфейс, из которого поступила команда. В состав командной части пакета ответа входит информация о готовности платы контроллера к приему пакетов данных с выходных каналов, команды для генерации триггерных, тактовых и сигналов сброса микросхем SAMPA. В зависимости от полученных команд выполняется настройка и управление обменом данными с микросхемами SAMPA посредством интерфейса I²C.

Управление СИМС осуществляется через интерфейсы: медленный SPI и высокоскоростной СМL.

Высокоскоростной интерфейс состоит из блоков приемника CML, автоматической подстройки тактового сигнала и данных, десериалайзера и цифрового приемника. Команды от платы удаленного контроллера поступают на вход приемника CML на частоте 2.56 ГГц. Из полученных данных восстанавливаются данные, синхронизированные с тактовым сигналом, генерируемым ФАПЧ. Восстановленные данные поступают на блок десериалайзера, который конвертирует их в восьмибитный параллельный код на частоте 320 МГц и передает в блок цифрового приемника. Блок цифрового приемника распознает пакеты команд и символы синхронизации. Пакеты команд передаются в блок обработки команд. Флаги потери синхронизации в канале или приема синхронизирующих символов, передаются в блок логики синхронизации.

SPI интерфейс выполняет прием пакетов управления и передачу пакетов ответа на скорости 80 Мбит/с. Интерфейс является вспомогательным и может использоваться в качестве альтернативного способа управления работой СИМС вместо быстродействующего интерфейса CML. Пакеты управления от интерфейса SPI передаются в блок обработчика команд, формирующего пакеты ответа. Пакеты ответа передаются через интерфейс SPI на плату контроллера.

Блок логики синхронизации отвечает за захват и отслеживание синхронизации входного потока бит по CML интерфейсу. В случае потери синхронизации блок переходит к процедуре установления синхронизации. Статус синхронизации передается в блок обработки команд в качестве разрешающего сигнала для его работы.

3. СИНХРОНИЗАЦИЯ И ПРОТОКОЛ ОБМЕНА ДАННЫХ

После включения СИМС осуществляется синхронизация микросхемы с одной стороны с платой контроллера управления считыванием, а с другой стороны – с микросхемами SAMPA. От микросхем SAMPA принимаются 3 вида пакетов: данных, триггерного сигнала и синхронизации [4].

Управление и настройка микросхем SAMPA осуществляется через интерфейс стандарта І²С. Ведущий – СИМС концентратора данных – формирует запрос, на который следует ответ ведомого – одной или двух микросхем SAMPA. Пакеты запросов для ведущего І²С и считывание полученных им пакетов ответов, осуществляется блоком процессор команд, который получает данные от интерфейсов SPI либо CML. Оба типа пакетов имеют длину 80 бит. Пакет-запрос содержит код команды и блок данных. Пакет-ответ содержит код команды с флагом готовности чтения данных от I2C интерфейса и блок данных. Данные пакета-ответа передается на плату контроллера через интерфейс SPI. Формат пакетов запроса и ответа представлен на рис. 2.

Протокол передачи данных по интерфейсу стандарта CML представлен на рис. 3.

СМL интерфейс осуществляет прием и передачу данных с использованием 10-битных символов стандарта 8b/10b [6]: К28.1 — символ начала синхронизации высокоскоростного интерфейса, К28.3 — символ завершения синхронизации высокоскоростного интерфейса, К28.4 — символпризнак потери синхронизации, К28.5 — синхросимвол заполнения канала.

Передаче данных предшествует процедура синхронизации. После сброса микросхемы концентратора или в случае потери синхронизации СИМС начинает передавать символы К28.4. Процедура синхронизации с платой контроллера начинается



Рис. 3. Протокол передачи данных формата СМL.



Рис. 4. Формат пакетов СМL приемника и передатчика МАRК – маркерный пакет. HEAD – заголовок пакета DATA – пакет с данными, Request – 10 байт SPI запрос (команда и данные).

с передачи символа К28.1, поступающих на вход CML приемника. После безошибочного принятия 4 подряд символов К28.1, микросхема концентратора транслирует символы К28.1, переходя в режим подтверждения синхронизации (стадия 1). После приема и распознавания как минимум 2-х символов К28.1 плата контроллера отправляет символы К28.3 на вход приемника CML (стадия 2). Приняв и распознав как минимум 1 символ К28.3 – СИМС начинает процедуру окончания синхронизации, передавая символы К28.3 на выходах обоих CML передатчиков (стадия 3). Плата контроллера, получив символ К28.3 с обоих каналов (для двухканального режима), переходит в режим ожидания с передачей символов К28.5 или передает пакеты команд (стадия 4). СИМС концентратора данных перестав получать символы К28.3 переходит в режим ожидания или в режим передачи данных контроллеру (стадия 5).

Формат пакетов данных CML до кодирования 8b/10b представлен на рис. 4. Входящие пакеты начинаются с маркера за которым следует тело запроса. Формат тела входящего пакета совпадает с запросом, представленным на рис. 2.

Исходящие пакеты начинаются с маркера, после которого идет заголовок пакета и тело пакета. Заголовок CML Tx packet содержит тип пакета (данные или ответ на команду), флаг готовности данных I²C для чтения, номер СИМС и номер канала микросхемы SAMPA. Тело пакета с данными содержит 10 байт данных, транслируемых от SAMPA. Содержание тела пакета ответа на команду совпадает с представленным на рис. 2.

5. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ СПРОЕКТИРОВАННОЙ МИКРОСХЕМЫ

СИМС концентратора данных спроектирована и изготовлена по КМОП технологическому процессу с проектной нормой 65 нм компании TSMC (Тайвань). Ее топология представлена на рис. 5. Основные характеристики СИМС приведены в табл. 1. При разработке топологии СИМС использованы опции тройного кармана, 9 слоев металла для межэлементной и межблочной трассировки, включая ультра толстый верхний, МІМ конденсаторы, относительно высокоомные не силицидные резисторы и транзисторы с различными пороговыми напряжениями. Напряжение питания ядра СИМС – 1.2 В. Блоки ввода-вывода имеют питание – 2.5 В.

Упаковка СИМС выполнена в корпуса типа СРGA120 с использованием проволочной разварки длиной не более 3 мм. Использование данного корпуса позволяет подключить плату СИМС к плате контроллера сбора данных с помощью электрических кабелей типа AWG 36 длиной до 1 м и обеспечить скорость передачи данных до 2.56 Гбит/с.

Для СИМС разработано тестовое окружение, основанное на модели цифровой части микросхемы SAMPA, которое генерирует поток входных данных для СИМС. Поток данных с выходов интерфейсов СМL сравнивается с потоком входных данных, по результатам которого делается вывод о работоспособности СИМС. В данном окружении проведено моделирование СИМС с подключением задержек, экстрактированных из топологии. Моделирование подтвердило функциональность СИМС, ее блоков, и изложенного выше протокола обмена данными.



Рис. 5. Топология СИМС.

Для обеспечения работоспособности СИМС в радиационном окружении при проектировании использованы следующие известные подходы:

1) При разработке СИМС использовалась технология 65 нм компании TSMC (Тайвань). Данная технология популярна среди разработчиков

радиационно-стойких СИМС и на сегодняшний день является стандартом де-факто в ЦЕРН [6–10].

2) Для увеличения радиационной стойкости по общей поглощенной дозе использованы топологические методы, снижающие ток утечки N-канальных транзисторов. Кроме того, на базе

Таблица 1.	Характеристики	спроектированной	СИМС
------------	----------------	------------------	------

Параметр	Значение	
Тоунодория	ТSMC КМОП 65 нм,	
Технология	маломощный вариант (LP)	
Занимаемая площадь	1.96 × 1.96 мм	
Напряжение питания интерфейсной части	2.5 B	
Напряжение питания ядра	1.2 B	
Потребляемая мощность	Не более 500 мВт	
Радиационная стойкость	До 100 крад	
Входной интерфейс данных микросхем SAMPA	8 каналов, 320 Мбит/с, SLVS	
Входной интерфейс управления (с платы контроллера)	1 канал, 2.56 Гбит/с, CML	
Выходной интерфейс данных (на плату контроллера)	2 канала, 2.56 Гбит/с, CML	
Выходной интерфейс управления микросхемами	I2C, 10-битная адресация, частота 100 кГц – 5 МГц,	
SAMPA	LVCMOS	
Интерфейс синхронизации микросхем SAMPA	6 каналов, 5/10/20/40/80/160/320 Мбит/с, SLVS	
Выходные каналы триггера микросхем SAMPA	6 каналов, SLVS	
Выходной канал сброса	2 канала, SLVS	

стандартных транзисторов входящих в состав библиотек компании TSMC разработаны параметризованные модели КМОП N-канальных транзисторов с кольцевыми затворами (ELT-транзисторы). В основу расчета их геометрии была заложена модель, предложенная Anelli [11] и Giraldo [12].

3) Для обеспечения дополнительной защиты от сбоев из-за одиночных частиц и уменьшения токов утечки аналоговые блоки в процессе топологического проектирования окружены защитными кольцами, подключенными к постоянным потенциалам.

4) Для уменьшения тока утечки между транзисторами одного типа проводимости использованы дополнительные защитные кольца, подключенные к различным потенциалам.

5) Попадание частиц в кремниевую подложку приводит к образованию треков заряженных частиц и локальному всплеску заряда. Образование заряда в высокоомной точке схемы, может привести к функциональному сбою, поскольку на его рассасывание требуется длительное время [8]. Для исключения данного эффекта сокращено количество высокоомных точек. К остальным точкам подключены сглаживающие пульсации RC-фильтры низких частот.

6) Дополнительная радиационная защита обеспечена за счет выбора оптимальных длин каналов КМОП-транзисторов, отличных от минимальных [9], подключением охранных колец [10, 11] и использованием технологических слоев глубокого N-кармана (deep N-well).

ЗАКЛЮЧЕНИЕ

Время-проекционная камера (ТРС) эксперимента MPD имеет высокую гранулярность детекторов и, как следствие, необходимость обработки больших потоков данных. Это потребовало разработки интегральной считывающей электроники, обеспечивающей функции двустороннего приема-передачи данных и сигналов управления и отличающейся малой потребляемой мощностью и достаточной радиационной стойкостью.

Представленный проект разработанной прототипной специализированной микросхемы (СИМС) концентратора данных предназначен для сбора данных, поступающих от двух детекторных микросхем SAMPA. СИМС обеспечивает проверку данных с использованием помехоустойчивого кодирования, формирует и передает пакеты на скорости 2.56 Гбит/с по двум электрическим кабелям типа AWG 36 длиной 1 м к плате контроллера.

СИМС спроектирована и изготовлена по КМОП технологическому процессу 65 нм компании TSMC (Тайвань). При проектировании учитывались ожидаемые радиационные условия, в которых будет работать время проекционная-камера. В частности, ожидаемый флюенс заряженных частиц составляет порядка 2 × 10¹¹ частиц/см² в течение 10 лет.

Исследование выполнено при финансовой поддержке Российского фонда фундаментальных исследований (проект № 18-02-40093).

СПИСОК ЛИТЕРАТУРЫ

- 1. Vereschagin S., Movchan S., Zaporozhets S. Front-end electronics development for TPC/MPD detector of NICA project // J. Instr., 2020. V. 15. P. C09044. Lee H.T. et al. // J. Nucl. Mater. 2011. V. 415. P. S696–S700.
- Averyanov A., Bazhazhin A., Chepurnov, V.F. Chepurnov V.V. et al. Time Projection Chamber for Multi-Purpose Detector at NICA. Technical Design Report (rev.07) // Laboratory of High Energy Physics, JINR Dubna 2018 http://mpd.jinr.ru/wp-content/uploads/ 2019/01/TpcTdr-v07.pdf
- Adolfsson J. et al. (ALICE Collab.) SAMPA Chip: the New 32 Channels ASIC for the ALICE TPC and MCH Upgrades // JINST. 2017. V. 12. P. C04008.
- Velure A., Sanches B. SAMPA V3 Specifications rev. 0.1 // 2017. https://indico.cern.ch/event/617831/attachments/ 1428015/2199874/SAMPA_V3_Specification.pdf
- Bonacini P., Valerio R., Avramidou R., Ballabriga R., Faccio F., Kloukinas K., Marchioro A. Characterization of a commercial 65 nm CMOS technology for SLHC applications // JINST. 2012. V. 7. P. P01015.
- Kulis S., Jara Casas L., Ceresa D., Miryala S., Christianses J., Francisco R., Gnani D. Characterization of radiation effects in 65 nm digital circuits with the DRAD digital radiation test chip // J. Instr. 2017. V. 12. P. C02039–C02039.
- Semenova I. Simulation of Dose and Fluence Quantities inside/outside MPD using FLUKA Monte Carlo code // MPD Technical Board Meeting, November 12, 2019.
- Lacoe R. Improving Integrated Circuit Performance Through the Application of Hardness-by-Design Methodology // IEEE Transactions on Nuclear Science. 2008. V. 55. P. 1903–1925.
- Fleetwood D. Total Ionizing Dose Effects in MOS and Low-Dose-Rate-Sensitive Linear-Bipolar Devices // IEEE Transactions on Nuclear Science. 2013. V. 60. P. 1706–1730.
- Atkin E.V., Serazetdinov A.R., Khokhlov K.O. Parametric layout cell design of N-MOS transistor with enhanced radiation hardened properties // AIP Conference Proceedings. 2020. V. 2313. art. no. 040009.
- 11. Caratelli A., Scarfi S., Bergamin G., Ceresa D., De Clerq J., Kloukinas K., Leblebici Y. Low-power SEE hardening techniques and error rate evaluation in 65 nm readout ASICs // PoS TWEPP2019. 2020. 015, 5 p.

МИКРОЭЛЕКТРОНИКА том 51 № 2 2022