

ИНТЕГРАЛЬНАЯ СХЕМА УПРАВЛЯЕМОГО ЦИФРОВОГО АТТЕНЮАТОРА ДИАПАЗОНА 0.1–4.5 ГГц НА ОСНОВЕ ТЕХНОЛОГИИ КРЕМНИЙ–ГЕРМАНИЙ

© 2019 г. И. М. Добуш^a, Ф. И. Шеерман^{a,*}, Л. И. Бабак^a, Ю. А. Светличный^a

^a Томский государственный университет систем управления и радиоэлектроники (ТУСУР)
Россия, 634050, Томск, ул. Ленина, 40

*e-mail: fish@kcup.tusur.ru

Поступила в редакцию 16.06.2018 г.

После доработки 18.07.2018 г.

Принята к публикации 31.07.2018 г.

Приведены схемотехнические решения и рассмотрена методика проектирования с.в.ч. управляемых цифровых аттенюаторов (ц.а.). Представлены результаты экспериментального исследования характеристик разработанной монолитной интегральной схемы (м.и.с.) ц.а. ET1000 диапазона 0.1–4.5 ГГц с драйвером параллельного и последовательного управления, изготовленной на основе 0.25-мкм SiGe BiCMOS-технологии. Разрядность ц.а. 5 бит, глубина регулировки коэффициента передачи 30 дБ с шагом 1 дБ, входная мощность при спаде коэффициента передачи на 1 дБ — не менее 14 дБм. Достоинствами м.и.с. помимо широкой полосы пропускания являются хороший уровень согласования на входе и выходе, небольшая величина фазовой конверсии и низкий ток потребления. М.и.с. может использоваться в бескорпусном и корпусированном вариантах в широкополосной с.в.ч. измерительной аппаратуре, а также приемниках и преимопередатчиках различного назначения.

DOI: 10.1134/S0032816219020204

ВВЕДЕНИЕ

Широкополосные управляемые цифровые аттенюаторы (ц.а.) [1] получили значительное распространение в измерительной аппаратуре сверхвысокочастотного диапазона — в частности, для регулировки уровня выходного сигнала генераторов, входного сигнала в измерительных приемниках и др. При этом в зависимости от принципа управления цифровой логикой используются ц.а. как с параллельным, так и с последовательным управлением.

Следует отметить, что помимо возможности изменения затухания с.в.ч.-сигнала с заданным шагом к ц.а. зачастую предъявляется также требование минимальной вариации фазы сигнала при переключении между состояниями аттенюатора. Это необходимо, например, если последовательно с ц.а. включается цифровой фазовращатель, что обеспечивает одновременное управление амплитудой и фазой сигнала. Кроме того, важной характеристикой ц.а. является его динамический диапазон, который обычно оценивается по уровню интермодуляционных искажений 3-го порядка и значению входной мощности при снижении коэффициента передачи аттенюатора на 1 дБ.

Наилучшие параметры в с.в.ч.-диапазоне обеспечивают монолитные интегральные схемы

(м.и.с.) ц.а., изготавливаемые по арсенид-галлиевым (GaAs) технологиям [2, 3]. Однако в последнее время устройства цифрового управления амплитудой и фазой с.в.ч.-сигнала (аттенюаторы, фазовращатели, переключатели) все чаще реализуют в виде м.и.с. на базе кремниевых технологий (Si CMOS¹), использующих обычные к.м.о.п.-транзисторы, а также технологий кремний-германий (SiGe BiCMOS), позволяющих на одной подложке создать полевые к.м.о.п.- и биполярные с.в.ч.-транзисторы [4, 5]. По сравнению с GaAs-м.и.с. недостатком управляющих устройств, выполняемых на основе кремния, является большее значение начальных потерь из-за более высокой проводимости подложки. Однако кремниевые технологии имеют и значительные преимущества — в частности, обеспечивают более высокую степень интеграции, меньшие массу, габариты и стоимость, более низкое энергопотребление и др.

Для создания управляющих устройств весьма важно также то, что кремниевые технологии позволяют совмещать аналоговые и сложные цифровые схемы управления (драйверы) в едином технологическом процессе (т.е. на одном кристалле).

¹ CMOS — complementary metal-oxide-semiconductor (комплементарная структура металл–окисел–полупроводник (к.м.о.п.)).

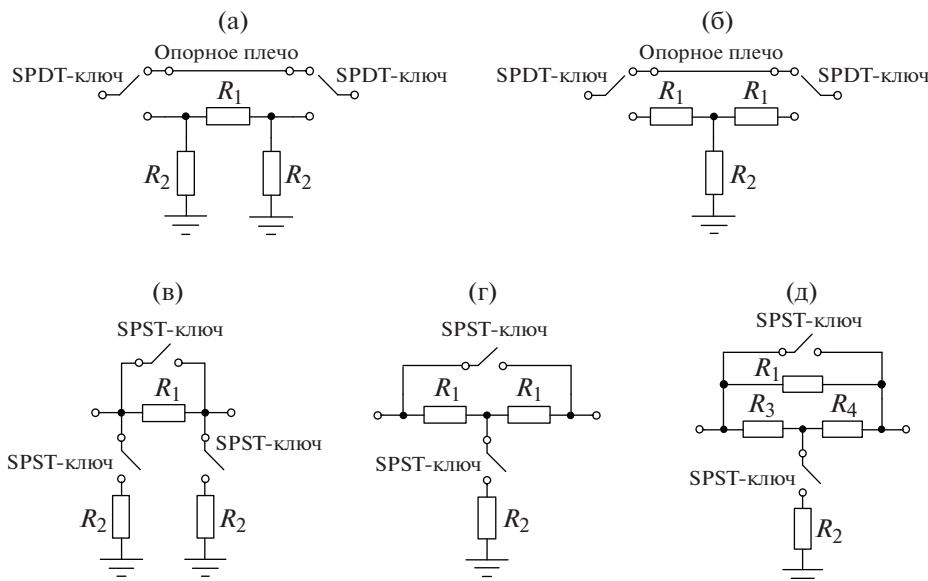


Рис. 1. Структурные схемы ц.а. на основе SPDT-ключей (секции П (а) и Т (б)) и SPST-ключей (секции П (в), Т (г) и Т-мостовая (д)).

В то же время при использовании GaAs-технологий из-за отсутствия комплементарных транзисторов реализация цифровых драйверов на одном кристалле вместе с с.в.ч.-частью весьма сложна, удорожает разработку, увеличивает габариты м.и.с. и ограничивает возможности управления. Использование же и.с., объединяющих в одном корпусе GaAs-кристалл с с.в.ч. управляющим устройством и кремниевый кристалл с цифровой схемой управления, также ведет к повышению трудоемкости и стоимости изготовления, увеличению габаритов, кроме того, снижается надежность и.с.

В данной статье кратко рассмотрена методика проектирования, а также приведены результаты разработки и экспериментального исследования м.и.с. цифрового аттенюатора ET1000 диапазона 0.1–4.5 ГГц с драйвером параллельного и последовательного управления, изготовленной на основе SiGe BiCMOS-технологии.

1. СХЕМОТЕХНИЧЕСКИЕ РЕШЕНИЯ АТТЕНУАТОРОВ С ЦИФРОВЫМ УПРАВЛЕНИЕМ

Аттенюаторы с цифровым управлением в интегральном исполнении могут быть реализованы на основе $p-i-n$ -диодов, полевых MESFET, HEMT и к.м.о.п.-транзисторов [1–5]. Типовая структурная схема ц.а. обычно представляет собой каскадное включение нескольких секций с различными значениями ослабления сигнала. Количество и значения ослабления секций опре-

деляют глубину и шаг регулировки коэффициента передачи ц.а.

В свою очередь, секция ц.а. обычно состоит из резистивного аттенюатора с фиксированным ослаблением и ключей, включающих и выключающих данную секцию в сигнальном тракте. На рис. 1 приведены типовые схемные решения секций ц.а. В зависимости от схемы построения ц.а., могут использоваться однополюсные ключи на одно или на два направления (SPST- или SPDT-ключи). На рис. 2 представлены функциональные схемы таких ключей, выполненных на основе полевых транзисторов. Управление ключами осуществляется подачей напряжений управления (логический “0” или “1”) на затворы транзисторов. Включение высокоомного резистора (2–10 кОм) в цепь затвора транзистора предотвращает влияние схемы управления на сигнальный тракт ключа.

Выбор структурной схемы ц.а. главным образом зависит от технических требований (диапазон частот, потери в опорном состоянии ц.а., глубина регулировки ослабления и разрядность, верхняя граница динамического диапазона, габариты кристалла и др.) и выбранной технологии изготовления.

Сравнение ц.а. на основе SPST- и SPDT-ключей (рис. 1) показывает, что первые обладают меньшими потерями в опорном состоянии, так как для коммутации одной секции используется только единственный элемент, включенный последовательно в тракт сигнала.

Помимо высокочастотных характеристик выбор варианта ц.а. зависит также от реализации драйвера управления. К основным критериям выбора отно-

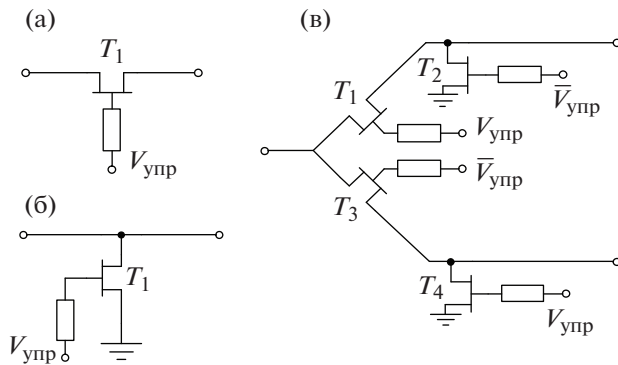


Рис. 2. Варианты функциональных схем SPST- (а, б) и SPDT-ключей (в).

ся: возможность сопряжения уровней управления SPST/SPDT-ключами с цифровой логикой, последовательное и/или параллельное управление кодом, значение и полярность напряжения питания, габариты драйвера и др. Для уменьшения габаритов и повышения степени интеграции устройства цифровой драйвер управления целесообразно поместить на одном кристалле с собственно ц.а. Как уже отмечалось, это легко может быть выполнено при использовании кремниевых технологий, где несложно выполнить логические элементы (преобразователи уровня, повторители, инверторы и др.).

2. ПРОЕКТИРОВАНИЕ И РАЗРАБОТКА М.И.С. ЦИФРОВОГО АТТЕНЮАТОРА С ДРАЙВЕРОМ УПРАВЛЕНИЯ

2.1. Проектирование цифрового аттенюатора

Для расширения сферы применений к широкополосной м.и.с. ц.а. предъявлялись следующие основные требования: диапазон рабочих частот 0.1–4.5 ГГц; разрядность – 5 бит; сопротивления генератора и нагрузки – 50 Ом; коэффициент передачи в открытом состоянии ($|S_{21}|$) не менее –3.5 дБ; глубина регулировки коэффициента передачи ($|S_{21}|$) – 30 дБ; модули коэффициентов отражения

на входе ($|S_{11}|$) и выходе ($|S_{22}|$) во всех состояниях не более –10 дБ; входная мощность при снижении коэффициента передачи на 1 дБ ($P_{in}^{1дБ}$) – не менее 13 дБм; уровень интермодуляционных искажений 3-го порядка по входу (IIP_3) – не менее 20 дБм; интерфейс управления – последовательный и параллельный.

Структурная схема м.и.с. ц.а. с драйвером управления представлена на рис. 3. Ц.а. состоит из пяти секций.

Анализ существующих разработок м.и.с. ц.а. показывает, что целесообразным является использование в схеме коммутируемых резистивных П-, Т- и Т-мостовой секций на основе SPST-ключей (рис. 1в–1д), так как аттенюаторы указанного типа обладают наименьшими габаритами и приемлемыми электрическими характеристиками в заданной полосе частот. Расчет значений сопротивлений резисторов П-, Т- и Т-мостовой секций соответственно проводится по следующим выражениям:

$$R_1 = \frac{Z_0 \left(A - \frac{1}{A} \right)}{2}, \quad R_2 = \frac{Z_0 (A + 1)}{A - 1}, \quad (1)$$

$$R_1 = \frac{Z_0 \left(A - \frac{1}{A} \right)}{2}, \quad R_2 = \frac{Z_0 (A + 1)}{A - 1}, \quad (2)$$

$$R_1 = Z_0 (A - 1), \quad R_2 = \frac{Z_0}{A - 1}, \quad R_3 = R_4 = Z_0, \quad (3)$$

где Z_0 – входное/выходное сопротивление секции; R_1 – R_4 – значения сопротивлений резистивного аттенюатора (рис. 1), A – относительное затухание по напряжению.

Необходимо отметить, что обеспечение хорошего согласования отдельных секций ц.а. важно для последующего их каскадирования, так как рассогласование ухудшает результирующие параметры всего ц.а., увеличивает ошибки вносимых ослаблений и паразитную фазовую конверсию.

Рассмотрим порядок проектирования ц.а. На первом этапе выбираются возможные вариан-

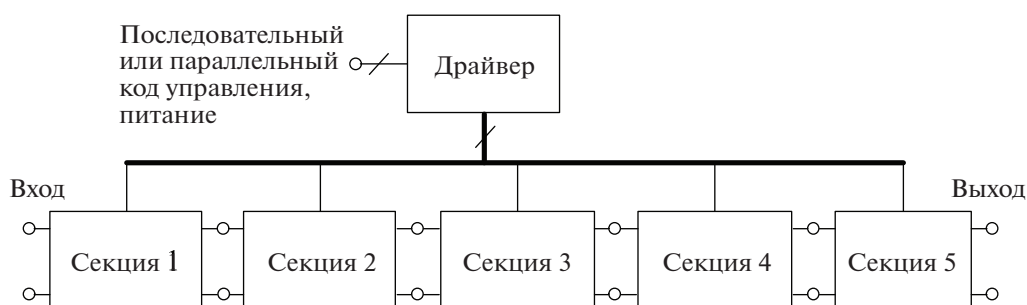


Рис. 3. Структурная схема м.и.с. ц.а. с драйвером управления.

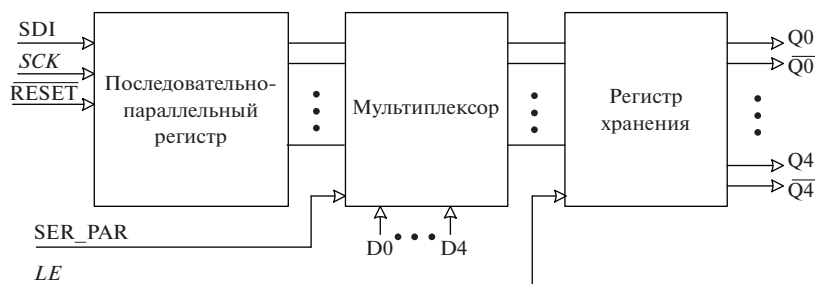


Рис. 4. Функциональная схема драйвера управления.

ты отдельных секций ц.а. и задаются параметры коммутационных элементов (SPST-ключей). В нашем случае значения вносимого ослабления секций (рис. 3) равны 1 дБ, 2 дБ, 4 дБ, 8 дБ и 16 дБ. В качестве SPST-ключей используем к.м.о.п.-транзисторы с высокоомным сопротивлением по затвору.

Второй этап состоит в выборе наилучших вариантов выполнения отдельных секций ц.а. С этой целью для каждой секции осуществляется процедура параметрического синтеза ее элементов по заданному ослаблению. Вначале для секции с определенным ослаблением (1 дБ, 2 дБ, 4 дБ и т.д.) с помощью выражений (1)–(3) определяются значения элементов резистивных аттенюаторов П-, Т- и Т-мостового типа. При этом следует учесть активную часть импеданса SPST-ключа. Далее с помощью систем автоматизированного проектирования (САПР) выполняется расчет с.в.ч.-характеристик для каждой секции заданного ослабления и для каждого варианта структуры (П-, Т- и Т-мостового типа): коэффициент передачи в открытом состоянии, коэффициент отражения по входу/выходу в открытом/закрытом состояниях, ошибка вносимого затухания, ошибка вносимого фазового сдвига. При этом к.м.о.п.-транзисторы в открытом и закрытом состояниях характеризуются точными моделями в виде измеренных параметров рассеяния или линейных эквивалентных схем. Рассматривая комплекс рассчитанных с.в.ч.-характеристик и анализируя реализуемость полученных значений элементов для заданной технологии изготовления м.и.с., выбираем оптимальные варианты реализации каждой секции ц.а. Для представленных выше требований наилучшим оказался вариант, при котором в качестве секций с ослаблением 1 дБ, 2 дБ и 4 дБ используются Т-структуры (рис. 1г), а в качестве секций 8 дБ и 16 дБ – П-структуры (рис. 1в). Заключительной процедурой на данном этапе проектирования является параметрическая оптимизация значений элементов каждой секции для улучшения комплекса ее с.в.ч.-характеристик.

На третьем этапе в заданном диапазоне частот с использованием САПР проводится расчет

с.в.ч.-характеристик результирующей схемы ц.а. (рис. 3), образованной каскадным соединением секций, включая максимальные и среднеквадратические ошибки вносимого ослабления и фазового сдвига во всех состояниях аттенюатора. Для оценки линейности и динамического диапазона аттенюатора на этом этапе применяются нелинейные модели к.м.о.п.-транзисторов.

В соответствии с описанной выше методикой было выполнено проектирование принципиальной схемы цифрового аттенюатора с полосой пропускания 0.1–4.5 ГГц.

2.2. Особенности драйвера управления ц.а.

Для достижения большей универсальности драйвер должен обеспечивать управление ц.а. в режиме как параллельного, так и последовательного кода. Наиболее простым и распространенным последовательным интерфейсом является SPI, он и был выбран для драйвера управления. Следует отметить, что традиционно цифровые схемы выполняются на комплементарных парах к.м.о.п.-транзисторов, что достаточно просто осуществляется при использовании выбранной SiGe-технологии.

За основу схемы драйвера управления (рис. 4) взят последовательно-параллельный регистр. Выбор сигналов управления с параллельного или последовательного входа осуществляется мультиплексором. В схеме драйвера также присутствует регистр хранения для удержания заданного состояния аттенюатора. Выбор режима работы драйвера осуществляется подачей сигнала на вход SER_PAR (“0” – последовательный режим; “1” – параллельный), который управляет работой мультиплексора. Управление регистром хранения осуществляется подачей сигналов на вход LE. Сигналы параллельного кода управления подаются на входы D0–D4. В обоих режимах работы драйвера возможен асинхронный сброс аттенюатора в опорное состояние подачей логического “0” на вход RESET.

Для включения режима последовательного кода необходимо подать логический “0” на вход

SER_PAR. Состояние аттенюатора в этом режиме кодируется последовательностью из 8 бит. Запись в последовательно-параллельный регистр очередного бита осуществляется по положительному фронту тактового сигнала $СК$. По положительному фронту сигнала LE значения из последовательно-параллельного регистра загружаются в аттенюатор, изменяя его состояние. Состояние аттенюатора фиксируется до прихода следующего положительного фронта LE .

Для включения режима параллельного кода необходимо подать логическую “1” на вход SER_PAR. В режиме параллельного кода работа возможна как с фиксацией состояния, так и в режиме непосредственного управления. В режиме с фиксацией новое состояние аттенюатора задается управляющими напряжениями на входах при низком значении сигнала LE , предыдущее состояние аттенюатора при этом остается неизменным. Смена состояния происходит по положительному фронту сигнала LE . В режиме непосредственного управления на входе LE должен быть установлен сигнал логической “1”. Состояние аттенюатора определяется управляющими напряжениями на входах $D0-D4$ и устанавливается непосредственно по изменению сигналов.

При разработке схемы драйвера использовались элементы стандартной библиотеки — триггеры и логические элементы. По принципиальной схеме в автоматизированном режиме строилась топология и выполнялась трассировка. Итоговая схема драйвера состоит из 56 стандартных ячеек, площадь на кристалле составляет 25×200 мкм².

2.3. Разработка топологии и изготовление м.и.с. ц.а.

На заключительном этапе была разработана топология м.и.с. ц.а. с драйвером управления. Прорисовка топологии и окончательное моделирование ц.а. и драйвера выполнены в САПР Cadence Design Systems компании Cadence Design Systems. При этом использовались электрические и топологические модели элементов из библиотеки для применяемой 0.25-мкм SiGe BiCMOS-технологии. При моделировании на с.в.ч. учитывались паразитные параметры соединительных элементов — отверстий, проводников и т.п., в том числе при разводке цепей по разным слоям металлизации м.и.с.

Затем по топологическим чертежам изготовлена опытная партия м.и.с. ц.а. На рис. 5а показан фрагмент топологии м.и.с., размер составляет 1.16×0.3 мм.

3. ХАРАКТЕРИСТИКИ М.И.С. ЦИФРОВОГО АТТЕНЮАТОРА С ДРАЙВЕРОМ УПРАВЛЕНИЯ

3.1. Характеристики цифрового аттенюатора

Характеристики разработанной м.и.с. (бескорпусной и.с.) ET1000 измерялись с помощью зондовой станции Cascade Microtech Summit 11K и векторного анализатора цепей R&S ZVA 40. При измерении входной мощности $P_{in}^{дБ}$ и уровня интермодуляционных искажений 3-го порядка использовались генератор с.в.ч.-сигнала Keysight E8257D и измеритель мощности Keysight E4419B.

На рис. 5б и рис. 6–8 представлены результаты измерений основных характеристик м.и.с. ц.а. в диапазоне частот до 5 ГГц включая частотные зависимости модуля коэффициента передачи $|S_{21}|$, модулей коэффициентов отражения на входе $|S_{11}|$ и выходе $|S_{22}|$, относительного затухания L_r (т.е. затухания относительно начального состояния с минимальными потерями), фазового сдвига ϕ_{S21} , среднеквадратичных ошибок (с.к.о.) по амплитуде и фазе во всех состояниях.

Измерения показали, что характеристики изготовленных образцов м.и.с. ET1000 в опытной партии близко совпадают между собой. Это свидетельствует о высоком выходе годных изделий и хорошей воспроизводимости технологического процесса при выбранной технологии изготовления м.и.с.

Параметры разработанной м.и.с. ц.а. сведены в табл. 1 (первая строка), где Δf — диапазон частот; n — число разрядов; ΔL , L_{st} — соответственно диапазон и шаг изменения ослабления; ΔA , $\Delta \phi$ — соответственно максимальные в заданном частотном диапазоне с.к.о. по амплитуде и фазе; $P_{in}^{X дБ}$ — значение входной мощности (P_{in}) при снижении коэффициента передачи на X дБ; U_n — напряжение питания. Так как на момент представления данного материала значение параметра $P_{in}^{1 дБ}$ изготовленных м.и.с. еще не было измерено, для него приведена величина, полученная в результате моделирования. Расчетное значение уровня интермодуляционных искажений 3-го порядка по входу IP_3 равно 33 дБм.

3.2. Характеристики драйвера ц.а.

Основные параметры драйвера ц.а. в м.и.с. ET1000 следующие: период тактового сигнала не менее 20 нс, частота тактового сигнала не более 50 МГц; длительность импульса сброса и фиксации не менее 5 нс; задержка фронта импульса данных относительно импульса сброса не менее 10 нс; время предустановки импульса данных в режиме последовательного кода не менее 5 нс, время его удержания в этом режиме не менее 8 нс;

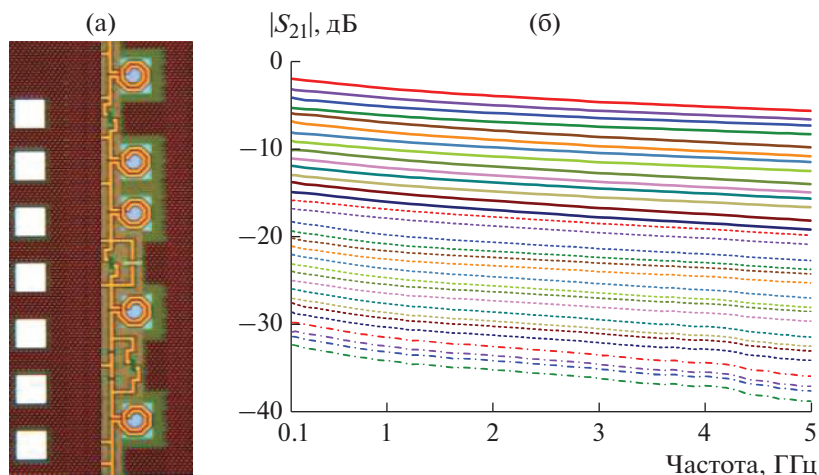


Рис. 5. М.и.с. ц.а. ET1000: а — фрагмент топологии (размеры 1.16×0.3 мм); б — измеренные частотные характеристики коэффициента передачи во всех состояниях.

время предустановки импульса данных в режиме параллельного кода не менее 2 нс, время его удержания в этом режиме не менее 3 нс; напряжение питания драйвера (VD) 2.5 ± 0.25 В; напряжение логического “0” — $0-0.3VD$, логической “1” — $(0.7-1)VD$.

3.3. Сравнение с отечественными и зарубежными м.и.с. ц.а.

С целью сравнения в табл. 1 представлены параметры отечественных и зарубежных м.и.с. ц.а. близких диапазонов частот, изготовленных на базе технологий SiGe (транзисторы к.м.о.п.), кремний-на-изоляторе (SOI, транзисторы к.м.о.п.) и GaAs. При этом стоимость м.и.с. аттенюаторов на базе технологий SiGe наименьшая.

К отечественным разработкам м.и.с. ц.а. относятся выпускаемая серийно микросхема L-диапазона 1338ХК8У организации АО “НИИМА “Прогресс” [6] и опытная микросхема S-диапазона этой же организации [7]. Обе м.и.с. изготовлены на основе 0.25-мкм SiGe BiCMOS-технологии. Как уже отмечалось, ее недостатком по сравнению с другими используемыми технологиями является большее значение затухания аттенюаторов в начальном состоянии, что обусловлено потерями в кремниевой подложке. Для исключения указанного недостатка в м.и.с. ц.а. разработки АО “НИИМА “Прогресс” [6, 7] встроен усилительный каскад. Однако это приводит к возрастанию потребляемого тока (до величин порядка 50 мА) и существенному ухудшению динамики ц.а. Следует также отметить, что указанные м.и.с. имеют дифференциальные вход и выход. Поэтому при применении микросхем в несимметричном с.в.ч.-тракте требуются дополнительные внешние симметрирующие трансформаторы [6, 7], которые

часто и ограничивают рабочий частотный диапазон аттенюаторов.

Представленные в табл. 1 зарубежные и.с. ц.а. выполнены с несимметричными входом и выходом. Из зарубежных и.с. на основе SiGe BiCMOS наиболее близкими по параметрам являются микросхемы компаний Maxim (MAX2066) [9] и Mitsubishi Electric [10]. Они также представляют собой 5-разрядные ц.а. на основе к.м.о.п.-транзисторов, но работают в менее широком диапазоне частот (см. табл. 1). Корпусная и.с. MAX2066 имеет встроенный усилитель, который при необходимости снижения потерь может быть включен в сигнальный тракт последовательно с аттенюатором, это достигается путем соответствующего соединения контактов микросхемы. Однако при включении усилителя потребляемый ток возрастает до 90 мА.

Кремниевая технология SOI, тоже использующая к.м.о.п.-транзисторы, благодаря наличию в подложке изолирующего слоя обеспечивает меньшие потери по сравнению с SiGe (к.м.о.п.), но является более сложной и дорогой. Она применяется, в частности, в м.и.с. ц.а. компаний Peregrine Semiconductor (Psemi) и Honeywell.

Наименьшими потерями в опорном состоянии обладают ц.а. на базе арсенид-галлиевой технологии (GaAs), здесь в качестве управляющих элементов чаще всего используются гетероструктурные полевые GaAs рНЕМТ-транзисторы (pseudomorphic High Electron Mobility Transistor). Но такая технология также является достаточно дорогой, при этом затруднена реализация на одном GaAs-кристалле аналоговых и цифровых схем, что необходимо при создании м.и.с. ц.а. с драйвером управления. Встречаются две конструкции и.с. с GaAs-ц.а. (табл. 1). В разработках компаний Hittite, Triquint, RFMD в одном корпу-

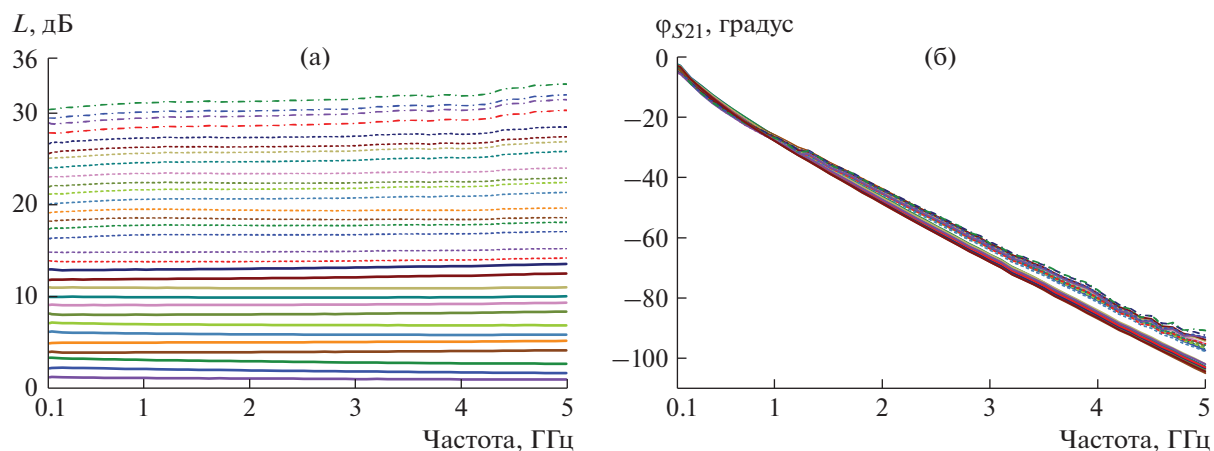


Рис. 6. Измеренные частотные характеристики м.и.с. ц.а. ET1000 во всех состояниях: **а** — относительное затухание; **б** — фазовый сдвиг.

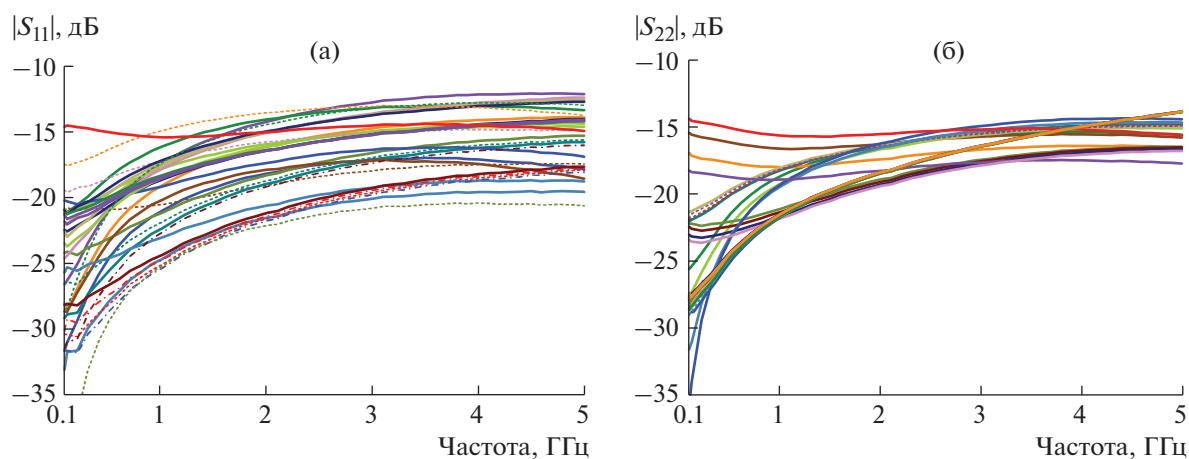


Рис. 7. Измеренные коэффициенты отражения м.и.с. ц.а. ET1000 во всех состояниях: **а** — по входу, **б** — по выходу.

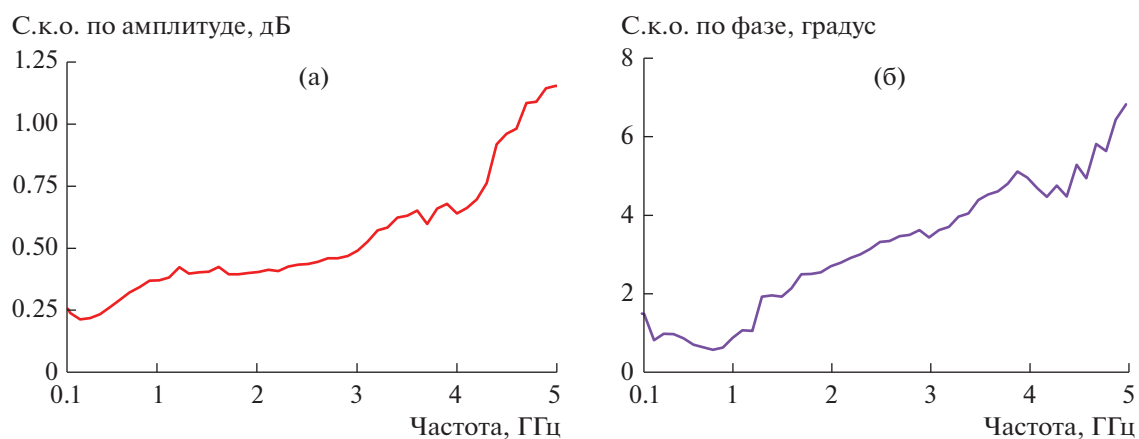


Рис. 8. Частотные зависимости среднеквадратичных ошибок м.и.с. ц.а. ET1000 во всех состояниях: **а** — по амплитуде; **б** — по фазе.

Таблица 1. Параметры м.и.с. ц.а. L-, S- и С-диапазонов

Организация (технология) тип	Δf , ГГц	n , бит; $\Delta L/L_{st}$, дБ	$ S_{210} $, дБ ¹⁾	$ S_{11} $, дБ; $ S_{22} $, дБ	ΔA , дБ	$\Delta \varphi$, градус	P_{in}^X дБ, дБм	Интерфейс; $U_{п}$, В	Размер, мм
Данная работа (SiGe, к.м.о.п.) ET1000	0.1–2; 2–4.5 ²⁾	5; 0–31/1	–3.9; –5.4 ²⁾	< –12; < –14	0.45; 0.95 ²⁾	2.7; 5.3 ²⁾	14 ¹ дБ	парал., посл.; 2.5	1.16 × 0.3
“НИИМА “Прогресс” (SiGe, к.м.о.п.) I338ХК8У [6] ⁴⁾	0.1–1.55	6; 0–31.5/0.5	3	< –8; < –9	0.9	5.5	–5 ¹ дБ	парал.; 5/2.5	Корпус ⁵⁾
“НИИМА “Прогресс” (SiGe, к.м.о.п.) [7] ⁴⁾	2–4	6; 0–31.5/0.5	6	< –11; < 11	0.45	30 ⁶⁾	–5 ¹ дБ	парал.; 5	1.67 × 1.09
МИФИ (SiGe, к.м.о.п.) [8] ³⁾	0.03–1.6	6; 0–47/1	–9.5	< –10; < –10	–	–	22 ¹ дБ	–	–
Maxim (SiGe CMOS) MAX2066 [9]	0.05–1	5; 0–31.2/1	–3.5	< –17; < –14	1.75 ⁶⁾	55 ⁶⁾	–	парал., посл.; 5/3.3	6 × 6 ⁷⁾
Mitsubishi Electric (SiGe CMOS) [10]	1–2	5; 0–31/1	–3.5 при 1.5 ГГц	–	0.38	–	–	парал.; 3	1 × 1
Psemi (SOI, к.м.о.п.) PE4306DS	DC-2; 2–4 ²⁾	5; 0–31/1	–1.7; –3.6 ²⁾	< –12; < –11	0.8; 4.6 ^{2,6)}	–	33 ¹ дБ	парал., посл.; 3	4 × 4 ⁷⁾
Psemi (SOI, к.м.о.п.) PE4309DS	DC-2.2; 2.2–4 ²⁾	6; 0–31.5/0.5	–2.0; –3.4 ²⁾	< –15; < –14	0.4; 2.0 ^{2,6)}	–	32 ¹ дБ	парал.; 3	4 × 4 ⁷⁾
Honeywell (SOI, к.м.о.п.) HRF-AT4611	DC-3; 3–4 ²⁾	6; 0–31.5/0.5	–3.3; –5.5 ²⁾	< –13	1.9; 2.4 ^{2,6)}	–	24 ¹ дБ	посл.; 5	4 × 4 ⁷⁾
Analog Devices (GaAs и Si к.м.о.п.) HMC542BLP4E ⁸⁾	DC-3; 3–4 ²⁾	6; 0–31.5/0.5	–1.7; –1.9 ²⁾	< –16	1.2; 2.0 ^{2,6)}	25; 35 ^{2,6)}	30 ^{0.1} дБ	посл.; 5	4 × 4 ⁷⁾
Triquint (GaAs и Si к.м.о.п.) TQP4M9071 ⁸⁾	DC-2.7; 2.7–4 ²⁾	6; 0–31.5/0.5	–1.6; –2.2 ²⁾	< –13.5	1.2; > 1.6 ^{2,6)}	35; 52 ^{2,6)}	30 ^{0.1} дБ	посл.; 5	4 × 4 ⁷⁾
UMS (GaAs) CHT4012-98F	DC-2; 2–6 ²⁾	6; 0–31.5/0.5	–2.2; –3.3 ²⁾	< –16; < –14	0.35	2	20 ¹ дБ	парал.; ±5	2.41 × 1.41

Примечание. ¹⁾ Коэффициент передачи в начальном состоянии; ²⁾ для двух частотных поддиапазонов; ³⁾ результаты моделирования; ⁴⁾ имеется встроенный усилитель, измерения с внешними симметрирующими трансформаторами; ⁵⁾ корпус МК5130.16.АНЗ; ⁶⁾ макс. абсолютная ошибка ($\pm$); ⁷⁾ размеры приведены в корпусе QFN; ⁸⁾ в корпусе размещены чип ц.а. на основе технологии GaAs и чип драйвера на основе Si (CMOS).

се размещаются чип ц.а. на основе технологии GaAs и чип цифрового драйвера на основе кремния Si (к.м.о.п.). К недостаткам такого варианта относятся более сложная сборка ц.а. и невозможность использования без корпуса. Компании OMMIC и UMS предлагают более сложные однокристалльные GaAs-м.и.с., где одновременно помещены ц.а. и драйвер (преимущественно параллельного типа).

Общим недостатком и.с. ц.а. на основе GaAs является то, что они потребляют ток от источника питания до нескольких миллиампер. Для микросхем на основе SiGe и SOI с к.м.о.п.-транзисторами (в том числе и для разработанной м.и.с.) ток потребления на порядок меньше.

Сравнивая характеристики м.и.с. ET1000 (в 1-й строке табл. 1) с микросхемами отечественного и зарубежного производства, можно отметить сле-

дующее. По сравнению с отечественными и зарубежными м.и.с. на основе SiGe BiCMOS [6–10] она является гораздо более широкополосной и перекрывает одновременно частоты L-, S- и частично С-диапазонов. Это делает микросхему универсальной и позволяет ее использовать как в широкополосной измерительной аппаратуре, так и в приемниках и передатчиках различных частотных поддиапазонов. Нужно отметить, что при некотором ухудшении характеристик м.и.с. ET1000 может использоваться в более широком частотном диапазоне 0.01–5 ГГц, а при ослаблении 0–15 дБ – и в полосе частот до 6–8 ГГц.

Из табл. 1 следует, что по широкополосности, уровню согласования на входе и выходе, а также габаритам разработанная микросхема ET1000 находится на уровне зарубежных коммерческих аналогов. Так как она изготавливается на основе материала SiGe на кремниевой подложке, ее ко-

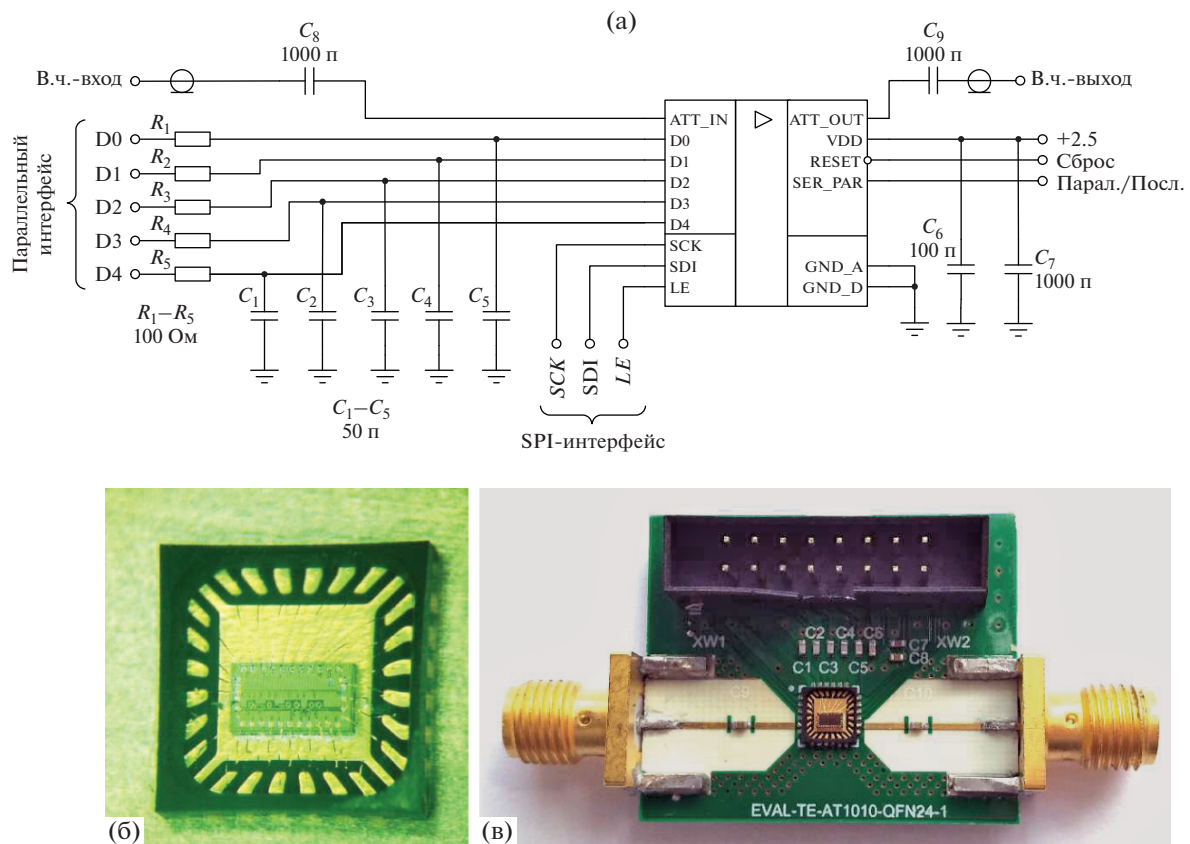


Рис. 9. Схема включения (а), внешний вид м.и.с. ц.а. в пластиковом корпусе типа QFN24 (б) и тестовой печатной платы (в).

эффицент передачи в начальном состоянии ниже, чем у коммерческих и.с. на базе технологий кремний-на-изоляторе (SOI) и GaAs. По этому параметру м.и.с. ET1000 несколько лучше, чем зарубежные микросхемы компаний Maxim (MAX2066) и Mitsubishi Electric (у ET1000 начальные потери на частоте 1 ГГц составляют 3.1 дБ, у MAX2066 – 3.5 дБ, у м.и.с. производства Mitsubishi Electric – 3.2 дБ), и на частоте 4 ГГц приближается к микросхеме HRF-AT4611 компании Honeywell, использующей технологию SOI.

Достоинством м.и.с. ET1000 по сравнению с представленными в табл. 1 отечественными м.и.с. ц.а. [6, 7], а также зарубежными микросхемами на основе GaAs является намного меньший ток потребления.

М.и.с. ET1000 имеет также небольшую величину фазовой конверсии $\Delta\phi$, что важно в ряде применений. Как видно из табл. 1, для многих коммерческих и.с. ц.а. фазовая ошибка велика либо вообще не нормируется.

Кроме того, разработанная интегральная схема ET1000 имеет несимметричные вход и выход. Поэтому, в отличие от описанных в [6, 7] отечественных м.и.с. ц.а., в часто встречающемся слу-

чае несимметричного с.в.ч.-тракта ее использование не требует дополнительных внешних симметрирующих трансформаторов, необходимых для дифференциальных схем.

4. ПРИМЕНЕНИЕ МИКРОСХЕМЫ ЦИФРОВОГО АТТЕНЮАТОРА

Микросхема ц.а. может включаться непосредственно в 50-омный с.в.ч.-тракт измерительной аппаратуры, например, для регулировки коэффициента передачи или уровня выходного сигнала. Возможно также ее применение в радиочастотных трактах приемников и передатчиков L-, S- и C-диапазонов – в частности, для управления диаграммообразованием в радиолокационных системах с электронным управлением лучом и др.

При использовании микросхемы в бескорпусном варианте (например, в многокристальном модуле) она устанавливается на подложке из с.в.ч.-керамики или органического материала при помощи токопроводящего клея “Ток-2”. Микросхема может монтироваться и применяться также в пластиковом либо металлокерамическом корпусе. В обоих случаях соединение м.и.с. (с остальной частью схемы либо с контактными площадками

корпуса) осуществляется с помощью разваренных проволочек. Измерения показали, что при использовании высокочастотных корпусов (например, типа QFN) с.в.ч.-характеристики ц.а. изменяются незначительно.

Схема включения корпусированной микросхемы ц.а. с элементами питания и управления представлена на рис. 9а. Здесь резисторы R_1 – R_5 используются в качестве ограничительных, конденсаторы C_1 – C_5 являются блокировочными по цепям управления, C_6 и C_7 выполняют роль блокировочных по питанию, C_8 и C_9 – разделительные емкости.

На рис. 9б, 9в показаны микросхема ц.а. в пластиковом корпусе типа QFN24 (для наглядности крышка корпуса демонтирована) и тестовая печатная плата для испытания микросхемы в корпусе. Печатная плата выполнена на основе органического материала Rogers RO4350. Для подачи с.в.ч.-сигналов применены торцевые SMA-разъемы, сигналы управления выведены в многоконтактный разъем. Управление уровнем затухания аттенюатора может осуществляться при помощи любого SPI-контроллера, в данном случае использовался преобразователь интерфейсов USB-SPI, выполненный на микросхеме FT232RL. Напряжение питания микросхемы составляет +2.5 В.

ЗАКЛЮЧЕНИЕ

В статье приведены схемотехнические решения и рассмотрена методика проектирования м.и.с. с.в.ч.-аттенюаторов с цифровым управлением. Представлены результаты экспериментального исследования разработанной м.и.с. ц.а. ET1000, изготовленной на основе 0.25-мкм SiGe BiCMOS-технологии. Достоинствами микросхемы, которая может использоваться в бескорпусном и корпусированном вариантах, являются широкая полоса пропускания (0.1–4.5 ГГц), хороший уровень согласования на входе и выходе, небольшая величина фазовой конверсии и низкий ток потребления. По этим показателям м.и.с. ц.а. находится на уровне зарубежных коммерче-

ских аналогов. Коэффициент передачи м.и.с. ET1000 несколько лучше, чем у известных зарубежных и.с. ц.а. на основе SiGe-технологии.

При некотором снижении характеристик микросхема ET1000 может использоваться в более широком частотном диапазоне 0.01–5 ГГц, а при ослаблениях 0–15 дБ – даже до частот 6–8 ГГц. Драйвер обеспечивает управление ц.а. в режиме как параллельного, так и последовательного кода.

Так как разработанная м.и.с. управляемого аттенюатора перекрывает L-, S-диапазоны и частично C-диапазон, она является универсальной и может использоваться в широкополосной с.в.ч. измерительной аппаратуре, а также приемниках и приемопередатчиках различного назначения.

Работа выполнялась при финансовой поддержке Министерства образования и науки РФ. Уникальный идентификатор работы 8.3423.2017/4.6.

СПИСОК ЛИТЕРАТУРЫ

1. *Bahl I.J.* Control Components Using Si, GaAs, and GaN Technologies. London: Artech House, 2014.
2. *Barov A.A., Kondratenko A.V.* // Proc. 22nd International Crimean Conference Microwave and Telecommunication Technology. 2012. P. 91.
3. *Barov A.A., Kondratenko A.V., Hohol D.S.* // Doklady TUSURa. 2010. V. 2. P. 187.
4. *Tayrani R.* // High Frequency Electronics. 2005. V. 2. P. 16.
5. *Zhang Y., Zhuang Y., Li Z., Ren X., Wang B., Jing K., Qi Z.* // Microelectronics J. 2014. V. 43. P. 468. doi 10.1016/j.mejo.2014.02.013
6. <http://www.mri-progress.ru> (2016)
7. *Мухин И.И., Репин В.В.* // Проблемы разработки перспективных микро- и наноэлектронных систем. Ч. 3. М.: ИППМ РАН, 2014. С. 39.
8. *Елесин В.В., Усачев Н.А., Громов Д.В.* // Сб. трудов конф. “Научная сессия МИФИ-2010”. Т. 1. М.: НИЯУ “МИФИ”, 2010. С.152.
9. <https://www.maximintegrated.com> (2018)
10. *Kageyama C., Nakajima K., Tsutsumi K., Taniguchi E., Shimozaawa M., Suematsu N.* // IEEE Radio and Wireless Conference Proceedings. 2005. P. 211. doi 10.1109/RAWCON.2004.1389110