

ФИЗИЧЕСКИЕ ПРИБОРЫ ДЛЯ ЭКОЛОГИИ,
МЕДИЦИНЫ, БИОЛОГИИ

УДК 621.384.62

ЦИФРОВОЙ МОДУЛЬ РЕГИСТРАЦИИ СИГНАЛА
ДЛЯ ПЫЛЕУДАРНОГО МАСС-СПЕКТРОМЕТРА

© 2020 г. И. В. Пияков^а, М. П. Калаев^а, К. И. Сухачев^а,
К. Е. Воронов^а, А. М. Телегин^{а,*}

^а Самарский национальный исследовательский университет им. академика С.П. Королева
Россия, 443086, Самара, ул. Московское шоссе, 34

*e-mail: talex85@mail.ru

Поступила в редакцию 13.05.2020 г.

После доработки 15.05.2020 г.

Принята к публикации 20.05.2020 г.

Описаны аппаратная и программная части модуля регистрации сигнала для пылеударного масс-спектрометра. Модуль позволяет записывать спектр ионного импульса с частотами от 100 до 400 МГц и реализован с использованием двух 14-битных аналого-цифровых преобразователей, подключенных к программируемой логической интегральной схеме. При этом используется временное чередование аналого-цифровых преобразователей. Приведены результаты испытаний пылеударного масс-спектрометра на ускорителе микрочастиц (уровень шума 0.6% от амплитуды измеряемого сигнала, частота дискретизации 200 МГц).

DOI: 10.31857/S0032816220060154

ВВЕДЕНИЕ

При конструировании научной аппаратуры одной из распространенных задач является высокоскоростная оцифровка аналоговых сигналов, поступающих от различных первичных преобразователей (фотоэлектронных и вторично-электронных умножителей и т.д.) [1–5]. При этом к аппаратуре могут предъявляться жесткие требования к массогабаритным показателям, энергопотреблению, возможности работы в расширенном диапазоне температур и давлений.

В данной статье приводится описание модуля, предназначенного для регистрации сигнала в составе пылеударного масс-спектрометра [6]. Модуль позволяет записывать и передавать в э.в.м. ионный спектр, регистрируемый на выходе вторично-электронного умножителя с частотой до 200 МГц и разрядностью 14 бит.

ОПИСАНИЕ ПРИБОРА

Структурная схема модуля регистрации сигнала для пылеударного масс-спектрометра приведена на рис. 1.

В состав модуля входят: программируемая логическая интегральная схема *FPGA* (Field-Programmable Gate Array); микроконтроллер *MCU* (Microcontroller Unit); два аналого-цифровых преобразователя *ADC* (Analog-to-Digital Converter), работающих в режиме чередования; дифферен-

циальный усилитель с программируемым коэффициентом усиления *PGA* (Programmable Gain Amplifiers), устройство связи с внешней э.в.м. по интерфейсу RS-485 с использованием гальванической развязки; схема формирования питающих напряжений *PSS* (Power Supply System).

Рассмотрим подробнее режим чередования *ADC*. В общем случае такая система может содержать несколько *ADC*, однако на практике обычно используется вариант с двумя или четырьмя каналами. Временное чередование (time interleaving) позволяет использовать несколько идентичных *ADC* [7] для обработки регулярных выборочных рядов данных с более высокой скоростью, чем рабочая частота дискретизации каждого отдельного преобразователя.

Временное чередование состоит из временного мультиплексирования параллельного массива из *M* идентичных *ADC*, как показано на рис. 2, для достижения более высокой суммарной частоты дискретизации f_s (с периодом дискретизации $T_s = 1/f_s$), даже если каждый *ADC* обладает более низкой скоростью $-f_s/M$. Так, например, путем чередования четырех *ADC* 14 бит/100 МГц можно в принципе реализовать *ADC* 14 бит/400 МГц.

Более подробно рассмотрим алгоритм работы программного обеспечения, реализованного в *FPGA*. Для обеспечения циклической записи в оперативное запоминающее устройство *RAM*

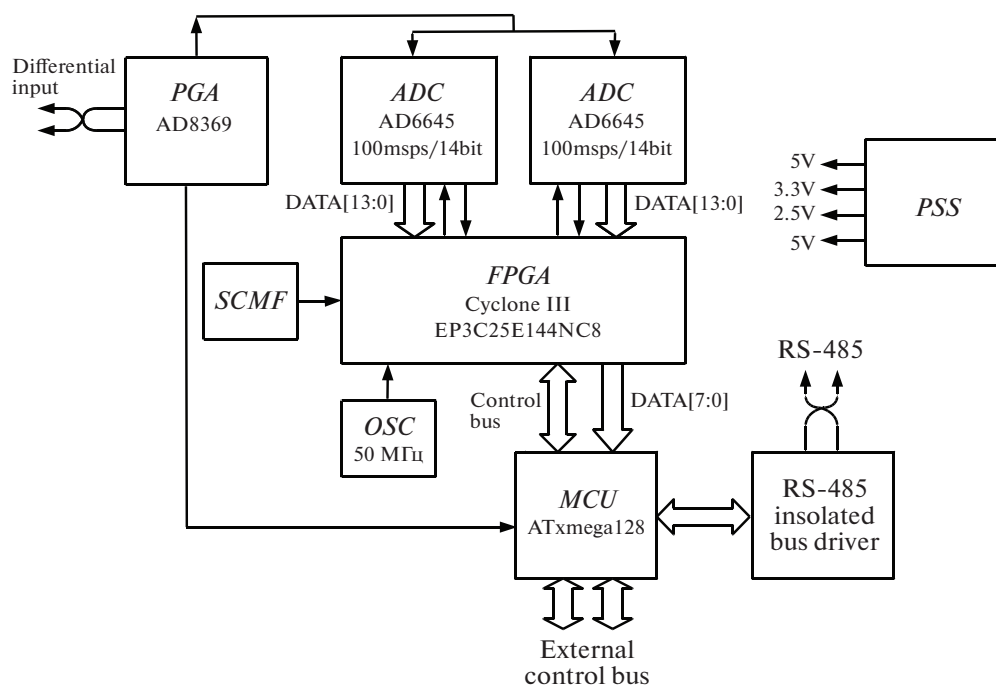


Рис. 1. Структурная схема модуля регистрации сигнала. *PGA* – программируемый усилитель; *ADC* – аналого-цифровой преобразователь; *FPGA* – программируемая логическая интегральная схема; *MCU* – микроконтроллер; *OSC* – кварцевый генератор; *SCMF* (Serial Configuration Memory Flash) – флэш-память для конфигурирования *FPGA*; *PSS* – схема формирования питающих напряжений.

(Random Access Memory), сохранения предыстории и обеспечения цифрового сравнения входного сигнала реализована схема на *FPGA* EP3C25 (рис. 3).

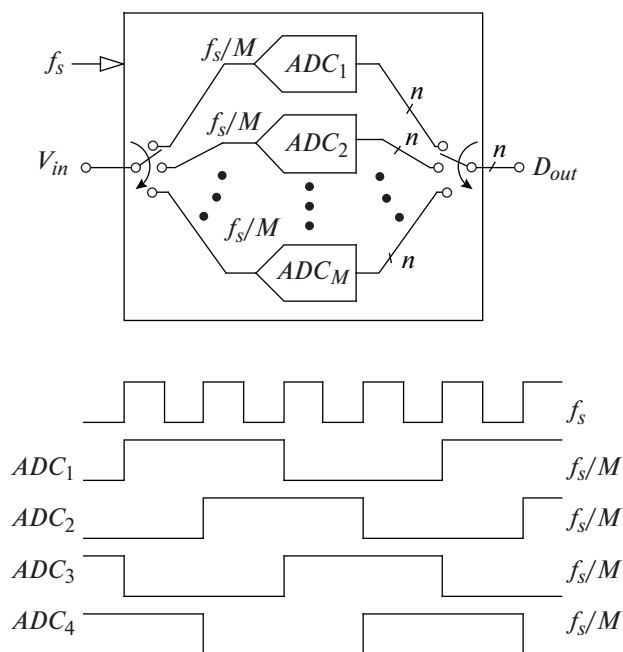


Рис. 2. Принцип временного чередования *ADC* [7].

К *FPGA* подключены две микросхемы *ADC*, которые тактируются в противофазе через дифференциальные выводы *FPGA* от глобальной тактовой линии на частоте 100 МГц. Модули, взаимодействующие с *ADC*, тактируются непосредственно от выводов синхронизации *DRY*. Модули внутренней логики и модули, отвечающие за связь с микроконтроллером, тактируются от модуля фазовой автоподстройки частоты *PLL* (phase-locked loop) пониженной частотой 50 МГц.

Модули CS6645 (control system ad6645), отвечающие за связь *RAM* и *ADC*, имеют параллельную входную шину настроек, значения на которой можно установить до начала измерений, иначе работа будет осуществляться на значениях по умолчанию. К настройкам модулей CS6645 относится величина кадра (frame), а также длительность записи после срабатывания компаратора (prolong).

Модуль работает следующим образом. По фронту сигнала *DRY* независимо для каждого *ADC* происходит запись в ячейку оперативной памяти *RAM* и инкрементирование счетчика адреса. Адрес может достигать максимального значения, равного величине кадра frame, после чего счетчик обнуляется и происходит циклическая перезапись массива *RAM*.

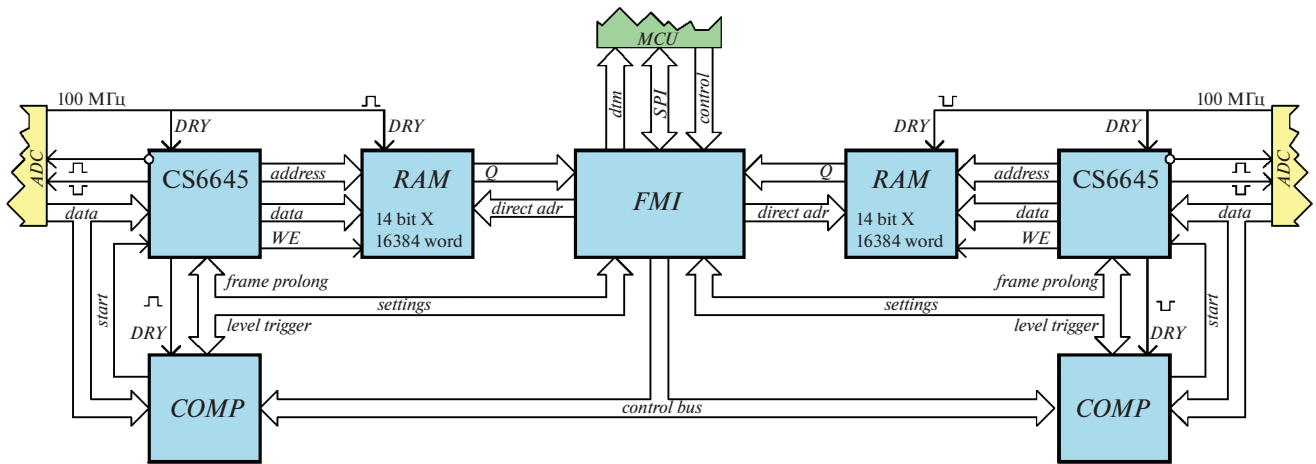


Рис. 3. Структурная схема модулей в *FPGA*. *RAM* – оперативное запоминающее устройство; *ADC* – аналого-цифровой преобразователь; *MCU* – микроконтроллер; *FMI* – модуль связи с микроконтроллером; *COMP* – цифровой компаратор.

При детектировании сигнала *start* происходит запись серии измерений, количество измерений равно заданным настройкам *prolong*. Далее запись в память приостанавливается, а в модуль связи с микроконтроллером *FMI* (Fast MCU interface) передаются последние записанные адреса и сигнал о готовности памяти к считыванию. Доступ к шине адреса *RAM* передается *FMI*.

В процессе разработки модуля *CS6645* было испытано несколько вариантов организации доступа к памяти: через синхронизирующие домены, через промежуточные буферы и прямой доступ через мультиплексоры адреса. Максимально эффективным оказался последний вариант, который по симуляции позволяет работать с сигналом *DRY* на частоте до 176.21 МГц на канал, в то время как с использованием синхронизации и промежуточных буферов частота *DRY* не должна превышать 97 и 87 МГц соответственно. На рис. 4 приведено описание модуля *CS6645* на языке описания аппаратуры Verilog.

Данная организация памяти для семейств *EP3С* позволяет использовать 28 М9К блоков памяти и минимум *LUT*, что положительно сказывается на скорости доступа к памяти. Независимость блоков для каждого *ADC* позволяет при синхронизации от *PLL* с необходимым фазовым сдвигом нарастить число каналов до четырех, что увеличит эквивалентную частоту оцифровки, а переход на *FPGA* с большей емкостью памяти дает возможность увеличить глубину кадра.

Выбор модели *EP3С25Т144* обусловлен тем, что она обладает максимальными объемом и скоростью из доступных в корпусе *TQFP144*. Это позволяет использовать двухслойную плату и ручной монтаж, однако накладывает ограничения на скорость, так как доступный уровень задержек равен *C8*, что

предъявляет высокие требования к выравниванию сигналов, поступающих в память.

Модуль *FMI* после получения сигнала готовности буферов памяти к считыванию отправляет на микроконтроллер *MCU* сигнал готовности. При получении импульсов по тактовой линии *SPI* от *MCU* модуль поочередно соединяет выходы буферов *RAM* с шиной данных, идущей к контроллеру, после чего инкрементирует адрес памяти.

Счет адреса начинается с последнего значения, переданного от *CS6645*, и продолжается до заполнения всего кадра, объем которого задается микроконтроллером. Таким образом, одним проходом по активному адресному пространству памяти осуществляется считывание кадра и выстраивание его в нужном порядке. Модуль также служит для установки и считывания настроек. Настройки глубины кадра *frame*, длительности записи после срабатывания компаратора *prolong* и порог срабатывания компаратора передаются по однобитной линии *SPI* от *MCU*. Проверка настроек осуществляется ответной отправкой 8 байт настроек при начале тактирования в момент отправки в *MCU* записанного кадра.

С контроллера можно также задавать режимы работы: срабатывание по внешнему событию и срабатывание по компаратору. В первом случае *MCU* по шине управления *control* генерирует сигнал запуска формирования кадра (*start*). В случае работы по сигналу внутреннего компаратора этот сигнал является источником запуска. Модуль компаратора имеет два режима работы: анализ только положительной полуволны с *ADC* и анализ двухполярного сигнала.

Помимо выбора режима работы, необходимо задать уровень (*trigger*), с которым будут сравниваться данные с *ADC*, и глубину фильтрации (*level*).

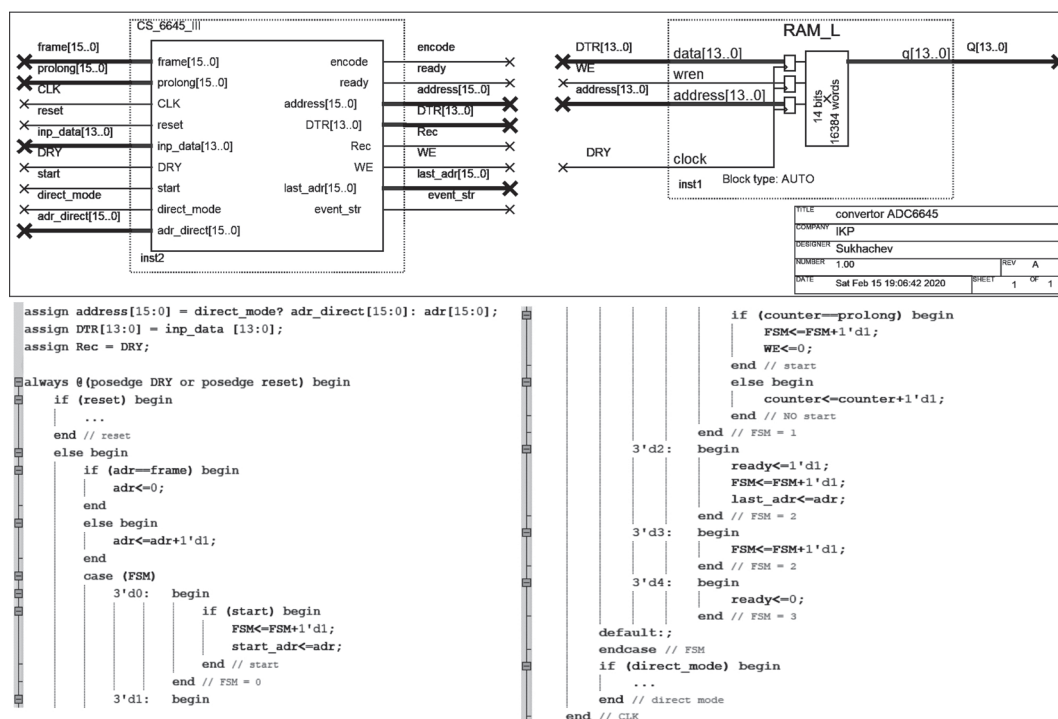


Рис. 4. Описание модуля CS6645 на языке описания аппаратуры Verilog.

Модуль компаратора тактируется от сигнала *DRY*, что позволяет работать без задержек и сравнивать с пороговым значением каждое новое измерение с *ADC*. Настройка глубины фильтра позволяет отсеивать короткие импульсы, если это необходимо, максимальная длительность превышения сигналом порога составляет 1.27 мкс, а минимальная — 10 нс, что справедливо для каждого канала при частоте оцифровки 100 МГц на канал.

Настройки компаратора также задаются от *MCU* по *SPI* либо, если это не сделано, используются значения по умолчанию. Какой из каналов сработал первым, значения не имеет, так как компараторы синхронизируются по общей шине, а считывание всегда начинается с условно первого буфера *RAM*, что может вызвать пропадание максимум одного первого измерения.

Микроконтроллер по линии управления сигналом разрешения работы компаратора может мгновенно блокировать или разрешать работу устройства по превышению уровня. Также есть возможность осуществлять два вида синхронных сброса: полный сброс с остановкой *PLL* и переходом к настройкам по умолчанию, а также сброс, необходимый для начала работы после считывания кадра. При втором варианте сохраняются настройки и осуществляется сброс только модулей компаратора и CS6645.

Конфигурацию представленной системы удалось оптимизировать и уместить в 757 логических элементов. Это дает возможность, при необходимости, свободную логическую емкость *FPGA* задействовать для организации многоканальной измерительной системы (до четырех каналов) и использовать синтезируемое процессорное *IP* ядро, что позволяет уменьшить количество необходимых элементов до микросхем *ADC* с обвязкой и непосредственно *FPGA*. В качестве помехозащищенного интерфейса можно использовать IEEE 802.3. Кроме этого, свободная емкость позволяет реализовать цифровую обработку сигналов. Итоговые параметры системы приведены в табл. 1.

РЕЗУЛЬТАТЫ ЭКСПЕРИМЕНТАЛЬНОГО ИССЛЕДОВАНИЯ И ВЫВОДЫ

Проверка работоспособности модуля регистрации сигнала была проведена в составе пылеударного масс-спектрометра, схема которого приведена на рис. 5. Масс-спектрометр предназначен для решения одной из важных задач космических исследований — выяснение элементного состава микрометеороидов и космического мусора в околоземном пространстве [8–10].

В начальный момент пылевая частица ударяется о мишень и преобразуется в облако слабо ионизированного газа, состоящее из ионов материалов частицы и мишени. Запись кадра данных

Таблица 1. Параметры системы оцифровки для EP3C25 и AD6645

Характеристики	Значения		
	Один канал	Два канала	Четыре канала
Эквивалентная предельная частота оцифровки, МГц	100	200	400
Максимальная частота на канал для <i>FPGA/ADC</i> , МГц	170/105		
Глубина кадра (слов)	32000		
Разрядность, бит	14		

начинается по первой массовой линии спектра, регистрируемой описываемым в данной статье модулем, и содержит информацию с приемника ионов, включая предысторию сигнала. Под действием электрического поля, образованного разностью потенциалов мишени и экранирующей сетки, ионное облако ускоряется в направлении ионного зеркала. Последнее состоит из четырех сеток в форме параболоидов, фокус которых совпадает с приемником ионов, и пяти полевывравнивающих электродов в форме колец, расположенных между центральными сетками зеркала.

После разворота ионы попадают в приемник, и сигнал с усилителя приемника ионов поступает на микроконтроллерный модуль. Приемник ионов (ВЭУ-7) представляет собой сборку типа шеврон из двух микроканальных пластин, разделенных зазором. По сравнению с конструкцией, описанной в работе [10], исключено одно из ионных зеркал, что позволило повысить коэффициент сбора ионов. Для повышения разрешающей

способности ускоряющее напряжение увеличено до 1125 В. Дополнительная сетка после параболического отражателя обеспечила гарантированное отражение всех ионов в сторону приемника. Схематичное расположение мишени, электродов и приемника, а также распределение потенциалов показано на рис. 5.

Эксперимент с пылеударным масс-спектрометром был проведен на электростатическом ускорителе [11]. Использовались микрочастицы ПАП-1 с размерами от 1 до 5 мкм. Полученный спектр ионных импульсов, зафиксированный разработанным модулем в процессе низкоскоростного удара о стальную мишень, представлен на рис. 6.

В результате натурального испытания разработанный модуль показал, что уровень шума составил 0.6% от амплитуды измеряемого сигнала, а частота дискретизации – 200 МГц, что позволило выделить спектральные линии шириной от 0.05 мкс. Данный модуль обладает хорошей масштабируемостью, гибкостью к условиям срабатывания компаратора, возможностью цифровой фильтрации сигнала, компактностью.

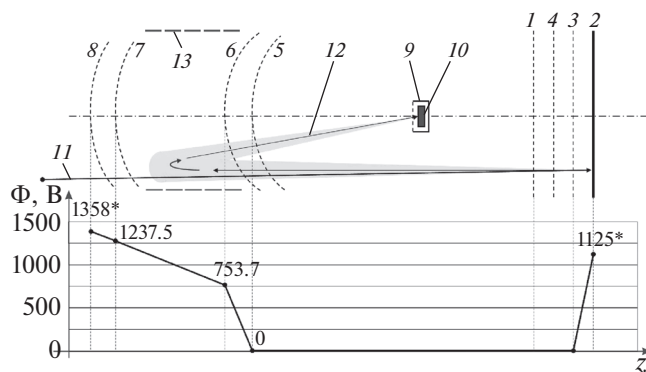


Рис. 5. Вверху – схема пылеударного масс-спектрометра с параболическим отражателем, внизу – распределение электрического потенциала вдоль оси масс-спектрометра. 1 – экранирующая сетка; 2 – мишень; 3 – заземленная сетка; 4 – сетка-детектор; 5–8 – сетки параболического ионного зеркала; 9 – кожух приемника, заземлен; 10 – приемник ионов; 11 – траектория пылевой частицы; 12 – траектория ионов; 13 – полевывравнивающие электроды. Звездочкой отмечено значение напряжения, которое подстраивается под конструкцию сборки.

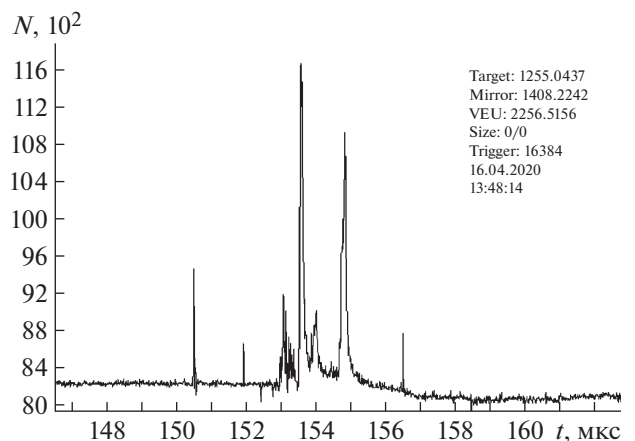


Рис. 6. Записанный ионный спектр. По оси ординат отложены отсчеты в абсолютных единицах.

СПИСОК ЛИТЕРАТУРЫ

1. *Horányi M., Sternovsky Z., Lankton M., Dumont C., Gagnard S., Gathright D., Grün E., Hansen D., James D., Kempf S., Lamprecht B., Srama R., Szalay J.R., Wright G.* // Space Sci. Rev. 2014. V. 185. P. 93. <https://doi.org/10.1007/s11214-014-0118-7>
2. *Goode W., Munsat T., James D., Ulibarri Z.* // Nucl. Instrum. and Methods in Physics Research. A. 2018. V. 908. P. 269. <https://doi.org/10.1016/j.nima.2018.08.075>
3. *Воронов К.Е., Телегин А.М., Пияков А.В., Рязанов Д.М.* // Успехи прикладной физики. 2020. Т. 8. № 1. С. 3.
4. *Воронов К.Е., Телегин А.М., Цзян Лисян, Цзяо Цзилун* // ПТЭ. 2019. № 5. С. 148. doi <https://doi.org/10.1134/S0032816219050124>
5. *Семкин Н.Д., Воронов К.Е., Новиков Л.С.* Регистрация пылевых и газовых частиц в лабораторных и космических условиях. Самара: Самарский государственный аэрокосмический университет, 2005.
6. *Пияков И.В., Родин Д.В., Родина М.А., Цзян Лисян* // Материалы V Всероссийской научно-технической конференции “Актуальные проблемы ракетно-космической техники” (V Козловские чтения) (11–15 сентября 2017 г., Самара) / Под общ. ред. А.Н. Кирилина. Самара: СамНЦРАН, 2017. С. 600.
7. *Manganaro G., Robertson D.* // Analog Dialogue. 2015. V. 49. № 7. <https://www.analog.com/en/analog-dialogue/articles/interleaving-adcs.html>
8. *Моисеенко Д.А., Вайсберг О.Л., Глазкин Д.Н.* // ПТЭ. 2019. № 1. С. 75. <https://doi.org/10.1134/s0032816218060113>
9. *Семкин Н.Д., Родин Д.В., Пияков И.В., Помельников Р.А.* // Научное приборостроение. 2012. Т. 22. № 3. С. 13.
10. *Piyakov I.V., Rodin D.V., Rodina M.A., Telegin A.M.* // CEUR Workshop Proceedings. 2018. V. 2212. P. 152. <https://doi.org/10.18287/1613-0073-2018-2212-152-157>
11. *Семкин Н.Д., Пияков А.В., Воронов К.Е., Богоявленский Н.Л., Горюнов Д.В.* // ПТЭ. 2007. № 2. С. 140.