

УДК 621.396.69

ЦИФРОАНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ НА ОСНОВЕ ДЕЛЬТА-СИГМА-МОДУЛЯТОРОВ

© 2022 г. М. С. Енученко^а *, А. С. Коротков^а

^аСанкт-Петербургский политехнический университет Петра Великого,
ул. Политехническая, 29, Санкт-Петербург, 195251 Российская Федерация

*E-mail: enuchenko_ms@spbstu.ru

Поступила в редакцию 24.03.2021 г.

После доработки 04.07.2021 г.

Принята к публикации 07.07.2021 г.

Представлен обзор цифроаналоговых преобразователей на основе дельта-сигма модуляторов ($\Delta\Sigma$ -модуляторов). Рассмотрена структура и принцип работы цифроаналоговых дельта-сигма преобразователей. Обсуждаются особенности построения основных блоков, включая интерполяционный фильтр, цифровой $\Delta\Sigma$ -модулятор, базовый цифроаналоговый преобразователь, выходной фильтр. Представлены достигнутые результаты за последние пять лет. Обзор ориентирован на специалистов в области микроэлектронной компонентной базы в части разработки цифроаналоговых преобразователей.

DOI: 10.31857/S003384942201003X

ВВЕДЕНИЕ

Неотъемлемой частью телекоммуникационных систем является цифроаналоговый преобразователь (ЦАП), который формирует информационный сигнал, переносимый на несущую частоту и излучаемый в эфир. Наблюдаются следующие тенденции в развитии телекоммуникационных систем: возрастающая доля цифровой части в передающем тракте, стремление уменьшить площадь, занимаемую компонентами системы на кристалле, повышение требований к динамическим характеристикам при сохранении приемлемыми иных параметров. Перенос функций передатчика в цифровую область позволяет повысить гибкость и функциональность устройства, а также получить наибольший выигрыш при переходе на технологические процессы с меньшей проектной нормой. Аналоговые блоки не обладают такой способностью к масштабированию, и переход к более передовым технологическим процессам, как правило, не обеспечивает сопоставимый выигрыш в производительности.

Повышение динамических характеристик требует повышения разрядности ЦАП, что приводит к увеличению площади кристалла ЦАП. Решением в данной ситуации выступает дополнение ЦАП дельта-сигма-модулятором ($\Delta\Sigma$ -модулятором). Аналоговые $\Delta\Sigma$ -модуляторы широко используются в аналогоцифровых преобразователях (АЦП), в которых выполняют функции повышения эффективной разрядности. Для низ-

кочастотных приложений обычно используются дискретные во времени $\Delta\Sigma$ -модуляторы на переключаемых конденсаторах, отличающиеся низкой потребляемой мощностью [1–4]. В быстродействующих схемах предпочтение отдается непрерывным во времени схемам. Для ЦАП используются цифровые $\Delta\Sigma$ -модуляторы, принцип работы которых идентичен аналоговым [1, 5, 6].

Включение $\Delta\Sigma$ -модулятора в структуру преобразователя, т.е. построение дельта-сигма-ЦАП ($\Delta\Sigma$ -ЦАП), позволяет решить ряд практически значимых задач. В частности, повысить функциональность устройства (благодаря простоте реконfigurирования цифровой части), сократить площадь, занимаемую ЦАП на кристалле, увеличить выигрыш от перехода на технологические процессы с меньшей проектной нормой. Перечисленные преимущества оказываются востребованными в системах передачи данных, где требуется полоса частот порядка 10...100 МГц и разрядность 12...16 бит, например в мобильных сетях 4-го и 5-го поколения и Wi-Fi. Однако в настоящее время в зарубежной и отечественной литературе отсутствуют публикации, обобщающие текущий опыт разработки цифроаналоговых преобразователей на основе $\Delta\Sigma$ -модуляторов.

Целью данной работы является систематизация базовых сведений об устройстве $\Delta\Sigma$ -ЦАП, сопоставительный анализ современных решений и подходов к разработке $\Delta\Sigma$ -ЦАП.

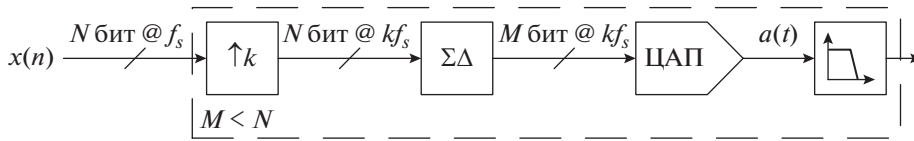


Рис. 1. Цифроаналоговый преобразователь с передискретизацией ($\Delta\Sigma$ -ЦАП).

В обзоре рассмотрены архитектуры $\Delta\Sigma$ -ЦАП, т.е. возможные комбинации $\Delta\Sigma$ -модулятора и ЦАП; обсуждается вопрос интерполяции входного сигнала; также рассмотрены цифровые $\Delta\Sigma$ -модуляторы, применяемые в $\Delta\Sigma$ -ЦАП, и представления цифровых модуляторов, частотные свойства, многокаскадные, конвейерные, реконфигурируемые модуляторы. Кратко описаны особенности построения ЦАП, входящего в состав $\Delta\Sigma$ -ЦАП; обсуждаются вопросы, связанные с фильтрацией выходного аналогового сигнала, в частности, аналоговые, цифровые и полудицировые способы фильтрации шума квантования в выходном аналоговом сигнале.

1. $\Delta\Sigma$ -ЦАП

1.1. Архитектуры $\Delta\Sigma$ -ЦАП

Цифроаналоговые преобразователи по принципу работы делятся на два класса согласно соотношению частоты дискретизации и частоты обработки кода: ЦАП со скоростью Найквиста, ЦАП с передискретизацией, т.е. $\Delta\Sigma$ -ЦАП. Кроме того, возможны комбинированные решения. В случае N -разрядного цифроаналогового преобразователя со скоростью Найквиста на вход поступает N -разрядный код с частотой дискретизации f_s . Цифроаналоговый преобразователь за период дискретизации T_s обрабатывает один отсчет и формирует соответствующий выходной аналоговый сигнал, то есть ЦАП работает со скоростью f_s отсчетов в секунду. При этом полоса частот восстанавливаемых сигналов оказывается равной полосе частот, определяемой формулой Найквиста, то есть половине частоты дискретизации f_s . Структура $\Delta\Sigma$ -ЦАП показана на рис. 1 [5, 6]. На

первом этапе частота дискретизации входного кода $x(n)$ повышается в k раз (k – коэффициент передискретизации, OverSampling Rate, OSR) с помощью цифрового интерполяционного фильтра, далее код поступает на вход цифрового $\Delta\Sigma$ -модулятора. В результате на выходе модулятора формируется код меньшей разрядности M ($M < N$) с частотой дискретизации kf_s . Код подается на M -разрядный ЦАП со скоростью Найквиста (далее – “базовый” ЦАП). При этом выходной аналоговый сигнал $a(t)$ базового ЦАП помимо информационного сигнала содержит и сигнал шума квантования, созданный $\Delta\Sigma$ -модулятором, который впоследствии должен быть отфильтрован, например, аналоговым фильтром нижних частот.

Таким образом, в $\Delta\Sigma$ -ЦАП снижается разрядность базового ЦАП, но возрастает требуемое быстродействие. Снижение разрядности базового ЦАП является главным преимуществом и целью использования $\Delta\Sigma$ -ЦАП, так как достижение показателей по линейности, площади и быстродействию ЦАП непосредственно зависит от разрядности. На рис. 2 представлены области применения $\Delta\Sigma$ -ЦАП и ЦАП со скоростью Найквиста (ось абсцисс эквивалентна полосе рабочих частот ЦАП) [7]. Как видно из рисунка, они неэквивалентны, т.е. не удастся сохранять широкую полосу частот сигнала, снижая разрядность и увеличивая быстродействие базового ЦАП, что следует из формулы для отношения сигнал/шум (SNR – Signal-to-Noise Ratio) [5, 6, 8–10]:

$$\text{SNR} = 10 \lg \frac{3(2^N - 1)^2 (2L + 1) \text{OSR}^{2L+1}}{2\pi^{2L}}, \quad (1)$$

где N – разрядность квантователя, L – порядок модулятора. Зависимость SNR от разрядности приблизительно линейная, а от OSR – логарифмическая. Как следствие, динамические характеристики при уменьшении разрядности падают быстрее, чем растут с увеличением коэффициента передискретизации. Этот эффект может быть скомпенсирован увеличением порядка модулятора. Однако снижение разрядности и повышение порядка увеличивает амплитуду шума ошибки квантования, что повышает требования к фильтрации выходного сигнала. Тем не менее использование передискретизации позволяет достигать более высоких динамических характеристик в узкой полосе частот, которых не удастся достичь ЦАП со скоростью Найквиста.

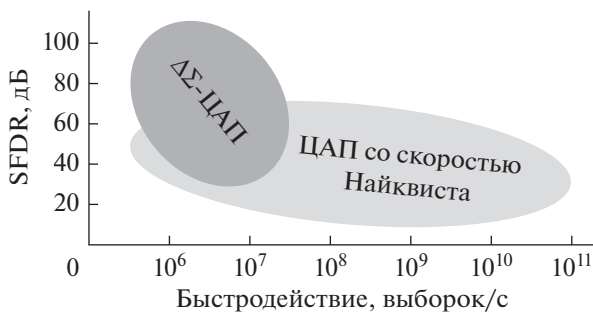


Рис. 2. Области применения ЦАП (SFDR – Spurious-Free Dynamic Range).

Построение цифровых телекоммуникационных систем требует высокоскоростных ЦАП (со скоростью более 1 Гвыборк/с) и широкой полосой частот (более 20 МГц) [11–17]. В этом качестве широко распространены ЦАП со скоростью Найквиста. Как отмечалось, для упрощения аналоговой части необходимо снижать разрядность ЦАП без заметного ухудшения характеристик, чего можно добиться использованием $\Delta\Sigma$ -модулятора и введением передискретизации. В предельном случае удается снизить разрядность базового ЦАП до одного разряда, что позволяет использовать в качестве ЦАП фактически любое ключевое устройство. Например, в построенных таким образом передатчиках – полностью цифровые передатчики (ADT – All-Digital Transmitter) – выходной код с $\Delta\Sigma$ -модулятора подается, например, на ключевой усилитель мощности [18–28]. Тем самым аналоговая часть передающего тракта сводится к минимуму: усилитель мощности, выходной полосовой фильтр, антенна.

Так как в телекоммуникационных системах требуются полосы рабочих частот от нескольких десятков мегагерц, то достижимые уровни значений OSR оказываются значительно меньше, чем в типовых приложениях $\Delta\Sigma$ -ЦАП, таких как звуковые тракты и измерительное оборудование. Обычно значение OSR для низкочастотных приложений $\Delta\Sigma$ -ЦАП составляет не менее 100, что в случае полосы в несколько десятков мегагерц потребует от базового ЦАП работы на частотах в единицы-десятки гигагерц. Поэтому коэффициент OSR обычно меньше 100 и находится в пределах от 4 до 64 [10, 14, 15, 29–34]. При этом следует учитывать следующие аспекты.

1. Повышение OSR снижает требования к аналоговому фильтру по крутизне передаточной характеристик, но повышает требования к базовому ЦАП по быстродействию. При этом обеспечивается логарифмический рост динамических характеристик.

2. Повышение разрядности увеличивает требования к базовому ЦАП, но снижает требования к аналоговому фильтру. При этом обеспечивается линейный рост динамических характеристик.

3. Повышение порядка модулятора, на первый взгляд, позволяет не менять требования к базовому ЦАП ни по разрядности, ни по быстродействию, но повышает требования к аналоговому фильтру по подавлению, так как происходит рост амплитуды ошибки квантования вне полосы рабочих частот. При этом обеспечивается практически линейный рост динамических характеристик. Однако повышение порядка модулятора приводит к повышению разрядности базового ЦАП, так как модуляторы выше 2-го порядка с одноразрядными квантователями неустойчивы.

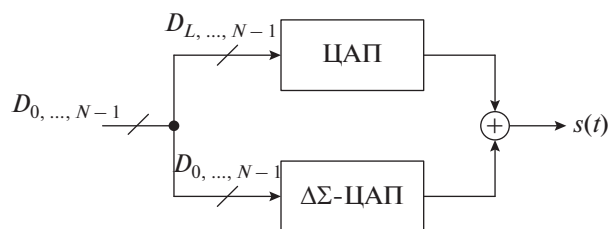


Рис. 3. Гибридный ЦАП.

Для обеспечения устойчивости следует либо повышать разрядность квантователя, либо переходить к многокаскадным структурам и также повышать разрядность выходного кода модулятора.

Как видно, определение параметров OSR, порядка модулятора и разрядности базового ЦАП является решением задачи оптимального поиска при заданных ограничениях. Причем решением могут быть не только одноразрядные (например, в ADT), но и многоразрядные базовые ЦАП. Стоит отметить, что эффект повышения требований к аналоговому фильтру (например, при росте порядка модулятора) может быть компенсирован предварительной цифровой или полудицифровой фильтрацией. В некоторых случаях удается добиться полного отказа от аналогового фильтра для выходного сигнала [35, 36].

Существуют также работы, в которых рассматриваются комбинированные структуры на основе ЦАП со скоростью Найквиста и $\Delta\Sigma$ -ЦАП. Такое решение – гибридный ЦАП – описано в [7, 15, 30, 37–39] и имеет структуру, показанную на рис. 3. В гибридном ЦАП старшие разряды входного кода $D_{L, ..., N-1}$ обрабатываются ЦАП со скоростью Найквиста, а младшие разряды $D_{0, ..., L-1}$ обрабатываются $\Delta\Sigma$ -ЦАП. Затем выходные сигналы ЦАП складываются для формирования общего выходного сигнала $s(t)$. Такой подход позволяет, с одной стороны, упростить аналоговую часть за счет снижения разрядностей ЦАП, а с другой – уменьшить шумы квантования вне полосы, так как через $\Delta\Sigma$ -ЦАП проходит лишь часть сигнала.

Для формирования высокочастотного выходного сигнала передатчика дельта-сигма ЦАП могут быть модифицированы. Как известно, типовой $\Delta\Sigma$ -модулятор содержит интегратор, а значит, подавление шумов квантования происходит в области низких частот. Однако структура $\Delta\Sigma$ -модулятора допускает изменения для формирования высокочастотных или полосовых сигналов. В таком случае коэффициент передискретизации будет уже считаться не по наибольшей частоте в спектре, а по полосе самого сигнала, что позволяет понизить требования по OSR.

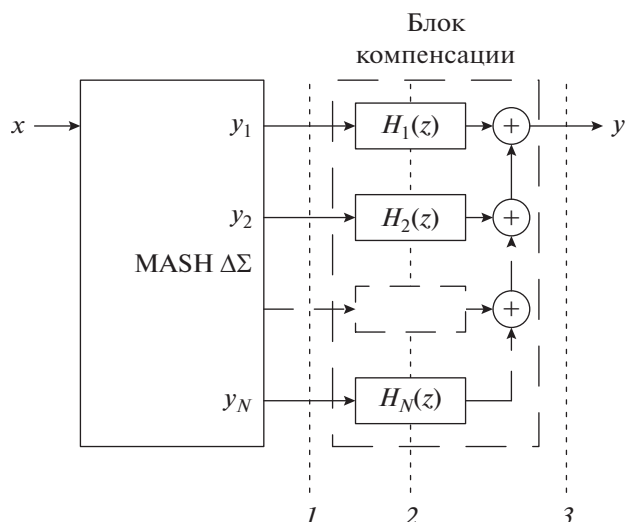


Рис. 4. Варианты расположения базового ЦАП.

1.2. Особенности использования многокаскадных модуляторов

При использовании многокаскадных $\Delta\Sigma$ -модуляторов — MASH (Multi-stAge noise-SHaping) модуляторов [40, 41] — существует три варианта включения базового ЦАП, показанные на рис. 4, где $H_1(z)$, $H_2(z)$, ..., $H_N(z)$ — передаточные функции блока компенсации, x — входной сигнал $\Delta\Sigma$ -модулятора, y — выходной сигнал $\Delta\Sigma$ -модулятора, y_1, y_2, \dots, y_N — выходные сигналы каскадов $\Delta\Sigma$ -модулятора. Как отмечалось, цель использования $\Delta\Sigma$ -модулятора при построении преобразователя — снизить разрядность базового ЦАП. Как следствие, чем “ближе” базовый ЦАП будет расположен к квантователю каскада (т.е. к MASH-структуре), тем больше выигрыш от использования $\Delta\Sigma$ -модулятора.

Возможно включение базового ЦАП в трех сечениях структуры (см. рис. 4, пунктир). Размещение в сечении 1 потребует использования N базовых ЦАП, а блок компенсации должен быть реализован полностью в аналоговом виде. Этот подход позволяет получить наибольший выигрыш от снижения разрядности базового ЦАП. Однако аналоговый блок компенсации будет подвержен рассогласованию элементов, и компенсация ошибки первого каскада может происходить не полностью. Такие реализации блока компенсации можно встретить в работах [42, 43].

При включении в сечение 3 потребуются один базовый ЦАП, а блок компенсации реализуется в цифровом виде. При этом будет наблюдаться рост разрядности выходного кода блока компенсации по сравнению с разрядностью выходных сигналов каскадов. Это потребует увеличения разрядности базового ЦАП, и эффект от использования $\Delta\Sigma$ -ЦАП будет снижен по сравнению с предыду-

щим случаем. Тем не менее, данный подход является наиболее распространенным, так как обеспечивает полную компенсацию ошибки первого каскада [7, 14, 44–47].

Включение базового ЦАП в сечение 2 является промежуточным — полудицировым — вариантом. В этом случае требуется несколько ЦАП, формирующих коэффициенты в передаточных функциях $H_1(z)$, ..., $H_N(z)$, т.е. выполняющих роль умножителей. При этом разрядность ЦАП оказывается равной разрядности квантователя, а все операции суммирования выполняются для аналоговых сигналов. Как следствие, проблема согласования передаточных функций в этом случае также присутствует, поэтому для компенсации рассогласований дополнительно вводится динамическое согласование элементов. Такие реализации можно найти в работах [48–51].

Выходной сигнал $\Delta\Sigma$ -ЦАП содержит высокий уровень шума вне полосы, который должен быть отфильтрован. Соответственно, при включении базового ЦАП в сечение 1 фильтрация полностью производится аналоговым фильтром. Если ЦАП размещается в сечениях 2 или 3, то требования к аналоговому фильтру могут быть ослаблены за счет введения цифровой или полудицировой предварительной фильтрации (подробнее см. далее, в разд. 5).

2. ИНТЕРПОЛЯЦИЯ

В структуре $\Delta\Sigma$ -ЦАП первым блоком, принимающим входной код, является цифровой интерполяционный фильтр. Задача данного фильтра — повысить частоту дискретизации в число раз, равное коэффициенту передискретизации OSR.

$\Delta\Sigma$ -Модуляторы работают на частотах, в десятки или сотни раз превосходящих полосу рабочих частот, поэтому интерполяционный фильтр должен формировать выходные отсчеты с той же частотой. При этом модулятор и интерполяционный фильтр обладают различной вычислительной эффективностью, поскольку модулятор реализует, как правило, только операции сложения, а фильтр — дополнительно “длительные” операции умножения. Как следствие, критический путь в интерполяционном фильтре может оказаться больше, чем в модуляторе. Действительно, как правило, интерполяционные фильтры строятся на основе фильтров с конечной импульсной характеристикой (КИХ), так как последние способны обеспечить строго линейную фазочастотную характеристику (ФЧХ). В прямой структуре критический путь фильтра (путь через один умножитель и N сумматоров, где N — порядок фильтра) оказывается больше, чем критический путь $\Delta\Sigma$ -модулятора. Поэтому из соображений быстродействия реализация интерполяционного фильтра на

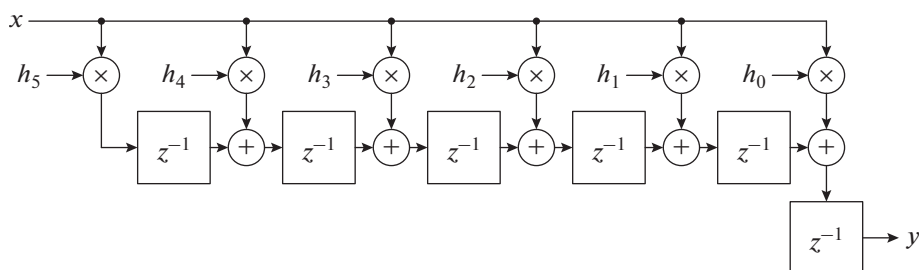


Рис. 5. Транспонированная структура КИХ-фильтра.

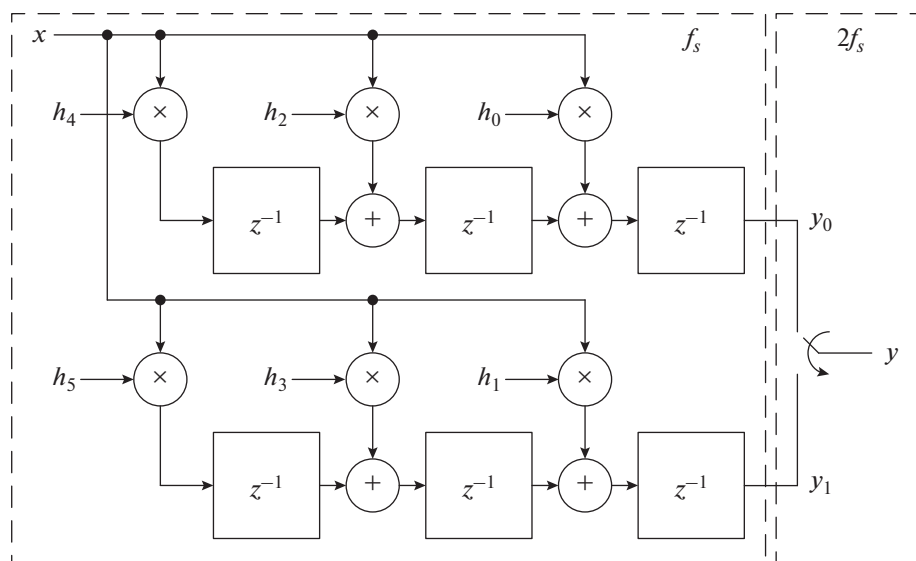


Рис. 6. Интерполяционный КИХ-фильтр с полифазной структурой.

основе такого однокаскадного КИХ-фильтра может оказаться невозможной.

В качестве решения проблемы повышения быстродействия интерполяционного фильтра в $\Delta\Sigma$ -ЦАП используются следующие решения: переход к транспонированной форме, полифазная фильтрация, многокаскадная интерполяция. В первую очередь применяют транспонированную форму (рис. 5). В результате критический путь может быть сокращен до пути, содержащего один умножитель и один сумматор, вне зависимости от порядка фильтра.

Полифазная фильтрация позволяет перенести критический путь из домена с частотой выходного сигнала в домен с частотой входного сигнала. Например, предположим, что частота входных отсчетов f_s , а структура фильтра на рис. 5 используется для интерполяции с коэффициентом 2. Тогда все элементы задержки фильтра должны работать с частотой выходных отсчетов $2f_s$. Полифазный фильтр, эквивалентный данному фильтру (рис. 6) состоит из двух фильтров меньшего порядка. Входные данные подаются одновременно

на оба фильтра с частотой f_s . С той же частотой обновляются состояния элементов задержки. Выходной сигнал циклически переключается между двумя фильтрами с частотой $2f_s$, тем самым обеспечивая удвоенную частоту выходных отсчетов. В результате требования к фильтру по быстродействию ослаблены, а переключение между фильтрами выполняется с помощью мультиплексора.

Многокаскадный интерполяционный фильтр реализуется, как показано на рис. 7 [19, 29, 43, 52–56]. Первые каскады представляют интерполяционные КИХ-фильтры. Коэффициент интерполяции каждого каскада M_i при этом не превышает 10. Обычно коэффициент интерполяции каскада выбирается равным двум. При этом по мере повышения частоты дискретизации порядок фильтров K_i уменьшается ($K_{i+1} < K_i$), чтобы снизить требования к разрядности коэффициентов и упростить умножители. С целью снижения аппаратных затрат могут использоваться полуполосные КИХ-фильтры, требующие, примерно, в два раза меньшее число умножителей. Наиболее критичные к быстродействию последние каскады

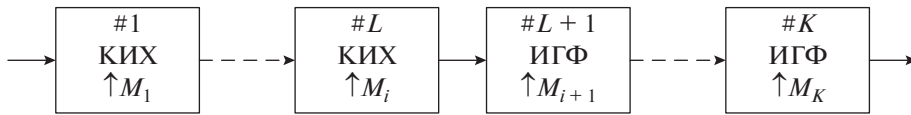


Рис. 7. Многокаскадный интерполяционный фильтр.

могут выполняться с использованием фильтров скользящего среднего или, как их еще называют, интеграторно-гребенчатых фильтров (ИГФ). Такие фильтры не требуют операций умножения, а критический путь распространения сигнала проходит лишь через один двухвходовой сумматор.

3. ЦИФРОВОЙ $\Delta\Sigma$ -МОДУЛЯТОР

3.1. Структуры цифрового $\Delta\Sigma$ -модулятора

При рассмотрении цифровых модуляторов $\Delta\Sigma$ -ЦАП используется структура модулятора с обратной связью по ошибке (рис. 8) [5, 6]. В такой структуре на вход блока с дискретной во времени передаточной функцией $W(z)$ поступает сигнал ошибки с квантователя $e(n)$. Порядок модулятора в таком случае зависит от вида передаточной функции $W(z)$. Выражения для выходного сигнала в такой структуре принимают вид

$$y = w + e; \quad w = x - W(z)e; \quad (2)$$

$$y = x - W(z)e + e = x + (1 - W(z))e. \quad (3)$$

Как видно из выражений, в такой структуре передаточные функции модулятора для сигнала (STF – Signal Transfer Function) и шума квантования (NTF – Noise Transfer Function) имеют вид

$$\text{STF}(z) = 1; \quad \text{NTF}(z) = (1 - W(z)). \quad (4)$$

Если принять

$$W(z) = z^{-1}, \quad (5)$$

то для $\Delta\Sigma$ -модулятора 1-го порядка, который осуществляет подавление шума квантования в области низких частот, получаем выражение

$$y = x + (1 - z^{-1})e. \quad (6)$$

Кроме того, цифровые $\Delta\Sigma$ -модуляторы могут изображаться так, как показано на рис. 9. Для сигналов в цифровом представлении процесс квантования эквивалентен отбрасыванию L младших зна-

чащих разрядов (МЗР) и передаче на выход только M старших значащих разрядов (СЗР). В таком случае ошибкой квантователя являются L МЗР.

Подавление сигнала ошибки может быть осуществлено не только в области низких частот, поэтому возможны модуляторы полосового и высокочастотного типов. Для этого необходимо изменить передаточную функцию $W(z)$. Например, при $W(z) = -z^{-1}$ подавление сигнала ошибки будет осуществляться в области частоты $f_s/2$, то есть $\Delta\Sigma$ -модулятор будет высокочастотным. При $W(z) = -z^{-2}$ модулятор будет полосовым, так как подавление будет наблюдаться на частоте $f_s/4$. В общем случае для модулятора k -го порядка выражения приведены в табл. 1.

Реализация цифровых $\Delta\Sigma$ -модуляторов имеет ряд особенностей, в частности, выбор разрядностей сумматоров. Рассмотрим этот вопрос на примере модулятора первого порядка (рис. 10). На вход поступает сигнал N -разрядного кода $x(n)$. На выходе сумматора генерируется сигнал $y(n)$, M старших разрядов которого формируют выходной сигнал $y_{\text{СЗР}}(n)$, а сигнал $y_{\text{МЗР}}(n)$, содержащий L младших разрядов $y(n)$, поступает по петле обратной связи на сумматор ($M + L = N + 1$). Фактически $\Delta\Sigma$ -модулятор обрабатывает L младших разрядов входного кода, а M старших разрядов остаются без изменений.

Реализация цифрового $\Delta\Sigma$ -модулятора представлена на рис. 11. Входной код разделяется на старшие M и младшие L разряды. Младшие разряды обрабатываются $\Delta\Sigma$ -модулятором. Возникающий при этом на выходе модулятора бит переноса складывается со старшими разрядами, формируя выходной код $\Delta\Sigma$ -модулятора. Быстродействие такого $\Delta\Sigma$ -модулятора ограничивается свойствами сумматора (см. рис. 11, черный кружок), который в отличие от второго сумматора не может быть конвейеризован, так как стоит в петле обратной

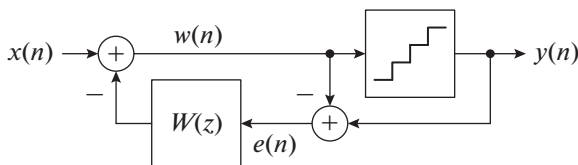
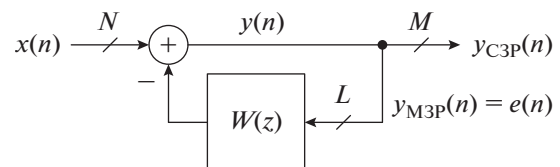
Рис. 8. Обобщенная структура $\Delta\Sigma$ -модулятора с обратной связью по ошибке.Рис. 9. Цифровой $\Delta\Sigma$ -модулятор первого порядка с обратной связью по ошибке.

Таблица 1. Передаточные функции фильтров для различных типов модуляторов

Тип модулятора	Передаточная функция фильтра	Подавление шума квантования
Низкочастотный	$W(z) = 1 - (1 - z^{-1})^k$	В области 0
Полосовой	$W(z) = 1 - (1 + z^{-2})^k$	В области $f_s/4$
Высокочастотный	$W(z) = 1 - (1 + z^{-1})^k$	В области $f_s/2$

связи. При этом чем меньше разрядность выходного кода модулятора, тем больше младших разрядов обрабатывает $\Delta\Sigma$ -модулятор и, следовательно, больше становится разрядность и задержка сумматора.

3.2. Квантователь цифрового $\Delta\Sigma$ -модулятора

Квантование в $\Delta\Sigma$ -модуляторах может быть в двух вариантах: одноразрядное и многоразрядное. При одноразрядном квантовании на выход $\Delta\Sigma$ -модулятора подается один старший разряд результата суммирования. Преимуществом такого вида квантования является максимальная простота интерфейсной части – требуется одноразрядный ЦАП, который всегда линеен. Кроме того, простота одноразрядного ЦАП приводит к тому, что в роли переключающейся ячейки ЦАП может выступать любое ключевое устройство, например, непосредственно усилитель мощности передающего тракта. Тем не менее есть ряд недостатков такого решения:

- 1) невысокий порядок, при котором модулятор сохраняет устойчивость (не более 2);
- 2) высокая амплитуда шумового сигнала, что повышает требования к фильтрации выходного аналогового сигнала.

Оба недостатка могут быть устранены за счет использования многокаскадных структур $\Delta\Sigma$ -модулятора, но при этом возникают иные проблемы, связанные с реализацией блока компенсации.

Переход к многоразрядному квантователю в однокаскадном $\Delta\Sigma$ -модуляторе позволяет решить указанные выше проблемы одноразрядных $\Delta\Sigma$ -модуляторов: повысить порядок модулятора, сохраняя устойчивость, снизить амплитуду шумового сигнала вне полосы, ослабив требования к фильтрации выходного сигнала. Однако это тре-

бует увеличения разрядности и усложнения схемы базового ЦАП.

3.3. Многокаскадные цифровые $\Delta\Sigma$ -модуляторы

В настоящее время наиболее распространенными являются многокаскадные цифровые модуляторы. Они позволяют увеличить порядок и уменьшить амплитуду ошибки, сохраняя невысокую разрядность выходных сигналов каскадов. Несмотря на то, что в цифровых многокаскадных $\Delta\Sigma$ -модуляторах согласование передаточных функций каскадов сложности не вызывает, имеются иные особенности, которые необходимо учитывать при выборе структуры модулятора.

Первым вопросом является реализация блока компенсации. Анализ, представленный в разд. 1.2, позволяет сделать следующий общий вывод: оптимальным является промежуточный – полудицифровый – вариант включения базового ЦАП. Причем модифицированная структура многокаскадного (MASH) $\Delta\Sigma$ -модулятора – так называемая Sturdy MASH (SMASH) структура [57–62] – оказывается более выигрышной по сравнению с MASH-структурой, так как для формирования выходного сигнала требуется выполнить лишь вычитание сигналов каскадов, а все необходимые передаточные функции формируются в цифровом виде [33]. Кроме того, возможно сочетание MASH- и SMASH-структур, рассмотренное в работах [59, 63, 64].

Вторым вопросом является выбор MASH-структуры $\Delta\Sigma$ -модулятора. Как отмечалось, многокаскадные структуры решают две задачи: повышение порядка модулятора и уменьшение амплитуды шума. При этом повышение порядка модулятора не всегда оказывается полезным, так как уменьше-

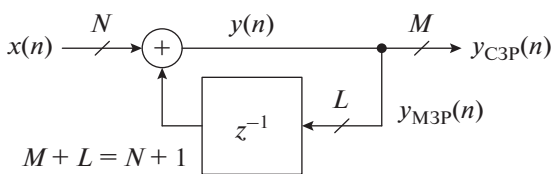


Рис. 10. Цифровой $\Delta\Sigma$ -модулятор первого порядка.

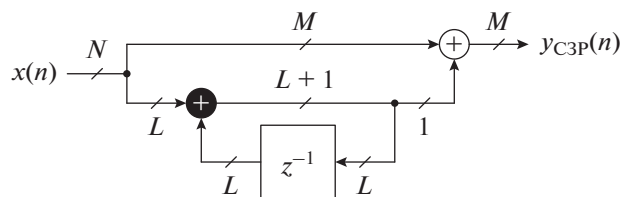


Рис. 11. Цифровой $\Delta\Sigma$ -модулятор с учетом изменения разрядов входного кода.

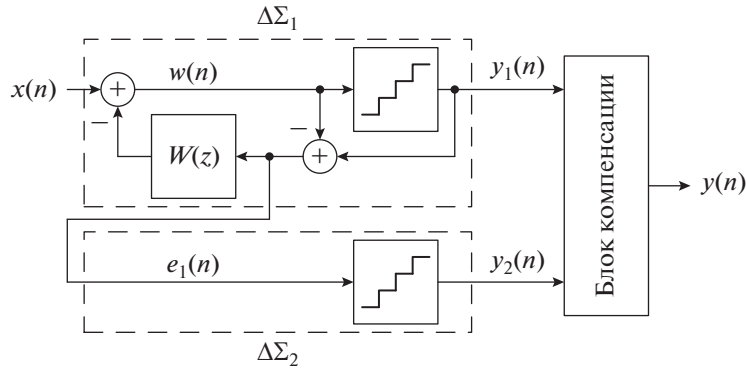


Рис. 12. Структура многокаскадного $\Delta\Sigma$ -модулятора с двойным округлением.

ние уровня шума в полосе достигается за счет увеличения уровня шума вне полосы, что повышает в свою очередь требования к фильтрации выходного аналогового сигнала. По этой причине в некоторых случаях используют многокаскадные структуры с так называемым двойным округлением. Пример такой структуры показан на рис. 12 [5, 42, 43, 48, 49]. Фактически это MASH-структура, где второй каскад имеет нулевой порядок, т.е. петля обратной связи отсутствует. Выражения для выходных сигналов в такой структуре имеют вид

$$y_1 = x + (1 - W(z))e_1; \quad y_2 = e_1 + e_2, \quad (7)$$

где e_1 и e_2 — сигналы ошибки квантователей. Поскольку e_2 представляет ошибку квантования сигнала e_1 , то выполняется неравенство $e_2 < e_1$. Блок компенсации обеспечивает для второго каскада повторение передаточной функции шума первого каскада. Тогда выходной сигнал модулятора принимает вид

$$y = y_1 - (1 - W(z))y_2 = x - (1 - W(z))e_2. \quad (8)$$

В результате после объединения сигналов в блоке компенсации порядок модуляции сигнала ошибки остается равным порядку первого каскада, а амплитуда ошибки квантования будет равной ошибке второго каскада, что в общем виде можно выразить как

$$y_1 = STFx + NTFe_1, \quad y = STFx + NTFe_2. \quad (9)$$

Формально такого же эффекта можно было достичь без использования многокаскадной структуры за счет увеличения разрядности квантователя в однокаскадном модуляторе. Однако использование двойного округления может дать выигрыш, если блок компенсации будет реализован не цифровым, а полуцифровым, так как тогда не будет происходить роста разрядности базового ЦАП.

3.4. Подавление гармоник цифрового $\Delta\Sigma$ -модулятора

Так как цифровой $\Delta\Sigma$ -модулятор — это конечный автомат, то при подаче повторяющегося сигнала ошибка квантования также будет повторяться, что создаст в спектре сигнала паразитные гармоники, ухудшив тем самым динамические характеристики в полосе рабочих частот. Особенно явно данный эффект проявляется при подаче на вход $\Delta\Sigma$ -модулятора постоянного уровня. Существует несколько способов решения данной проблемы, которые можно разделить на две группы: стохастические и детерминистские.

К стохастическим способам относится дже-ринг — подмешивание во входной сигнал псевдослучайного шума [10, 65–68]. Шум может быть как белым, так и окрашенным. Данный подход позволяет исказить последовательность состояний $\Delta\Sigma$ -модулятора и тем самым повысить период повторения, уменьшая амплитуду паразитных гармоник. Недостатками данного подхода являются: повышение уровня шумов внутри полосы сигнала, которые не могут быть впоследствии отфильтрованы, а также ухудшение устойчивости системы.

Детерминистские подходы предполагают заранее внесенные изменения в структуру $\Delta\Sigma$ -модулятора, позволяющие распределить энергию паразитных гармоник по как можно большему числу частот. Среди детерминистских подходов известны следующие.

1. Предварительная инициализация [69, 70];
2. Квантователь по простому числу [71, 72];
3. НК-MASH-структура $\Delta\Sigma$ -модулятора [73–77];
4. SP-MASH-структура $\Delta\Sigma$ -модулятора [77–79].

Способ предварительной инициализации предполагает, что необходимо изменить начальное состояние регистров $\Delta\Sigma$ -модулятора так, чтобы увеличить минимальный период повторения сигнала. Как правило, необходимо выбирать начальное состояние, равное нечетным числам. Такой под-

Таблица 2. Сравнение структур модуляторов MASH 1-1-1

Архитектура	Длина последовательности		Входной диапазон значений
	max	min	
MASH	M	2	0, ..., $M - 1$
Предварительная инициализация	$2M$	$2M$	0, ..., $M - 1$
Квантователь по простому числу	P	P	0, ..., $P - 1$
НК-MASH	$(M - a)^3$	$(M - a)^3$	0, ..., $M - a - 1$
SP-MASH	ML^2	$2L^2$	0, ..., $M - 1$

Введены следующие обозначения: P – максимальное простое число, меньшее M ; a – масштабирующий множитель; $L = 2^r$, где r – разрядность входного кода второй и третьей стадии, причем $r \geq N$.

ход позволяет увеличить минимальную длину последовательности до $2M$ (длина последовательности считается для случая постоянного уровня на входе $\Delta\Sigma$ -модулятора), где M – количество возможных уровней входного сигнала, т.е. $M = 2^N$ (N – разрядность входного кода).

Другой способ предполагает использование квантователя с числом уровней, равным простому числу. Этот способ также позволяет увеличить минимальную длину последовательности, однако при этом сужается диапазон входных сигналов. К недостаткам перечисленных способов относится то, что длина последовательности не зависит от структуры $\Delta\Sigma$ -модулятора, а определяется только разрядностью входного кода.

Структура $\Delta\Sigma$ -модулятора НК-MASH предполагает, что сигнал с выхода каскада $\Delta\Sigma$ -модулятора масштабируется и складывается с входным сигналом каскада. В работе [73] были определены оптимальные коэффициенты масштабирования для разрядностей входного кода от 5 до 25. Длина последовательности в такой структуре зависит по степенному закону от числа каскадов. Однако входной диапазон значений, хоть и незначительно, но уменьшается на величину масштабирующего коэффициента.

Авторы [78] обратили внимание на то, что сигнал через НК-MASH-структуру $\Delta\Sigma$ -модулятора передается с коэффициентом, отличным от единицы, что требует дополнительных преобразований выходного сигнала $\Delta\Sigma$ -модулятора, если требуется обеспечить одинаковые абсолютные значения для входного и выходного сигналов. Поэтому была предложена структура SP-MASH, в которой выходной сигнал с каскада $\Delta\Sigma$ -модулятора передается на вход следующего, а не текущего каскада. Это позволило обеспечить точную передачу абсолютного значения для низкочастотных сигналов. Однако передаточная функция для полезного сигнала имеет вид фильтра высоких частот (ФВЧ), что ограничивает применение такой структуры. Данные по входному диапазону и длине последовательности для случая $\Delta\Sigma$ -модуля-

тора со структурой MASH 1-1-1 и различными способами подавления паразитных гармоник представлены в табл. 2 [78].

3.5. Конвейерный цифровой $\Delta\Sigma$ -модулятор

Как обсуждалось ранее, $\Delta\Sigma$ -модулятор должен работать на частотах в десятки и сотни раз больших, чем рабочая полоса частот. Это приводит к тому, что несмотря на простоту структуры $\Delta\Sigma$ -модулятора (отсутствие операций умножения), даже операции сложения многоразрядных отсчетов могут ограничивать быстродействие устройства. Одним из выходов является введение конвейера. Наиболее распространенная структура цифрового $\Delta\Sigma$ -модулятора с обратной связью по ошибке имеет ряд сложностей для введения конвейера. Во-первых, наличие обратной связи не позволяет ввести конвейер в сумматор для петли обратной связи. Во-вторых, с ростом порядка модулятора количество операндов для такого сумматора будет возрастать, увеличивая критический путь. Критический путь может быть сокращен, если выполнить переход к структуре, где фильтрующая функция модулятора реализуется каскадно. В таком случае критический путь проходит только через два двухходовых сумматора при любом порядке модулятора. Тем не менее оба сумматора все равно выполняют суммирование с многоразрядным сигналом из петли обратной связи, в которое не удается ввести конвейер.

По этой причине авторы [14, 29, 80] предлагают альтернативное решение для введения конвейера (рис. 13). Входные сигналы x_0, \dots, x_{N-1} представляют разряды входного N -разрядного отсчета, выходной сигнал y – одноразрядный выход $\Delta\Sigma$ -модулятора. Исходный $\Delta\Sigma$ -модулятор разбит на несколько одноразрядных $\Delta\Sigma$ -модуляторов. Выходной сигнал – бит переноса – каждого каскада $\Delta\Sigma$ -модулятора, кроме последнего, передается на вход следующего каскада $\Delta\Sigma$ -модулятора. Для синхронизации операций с сигналами разных разрядов введены задержки. Таким образом, сумматоры в петле обратной связи здесь упроще-

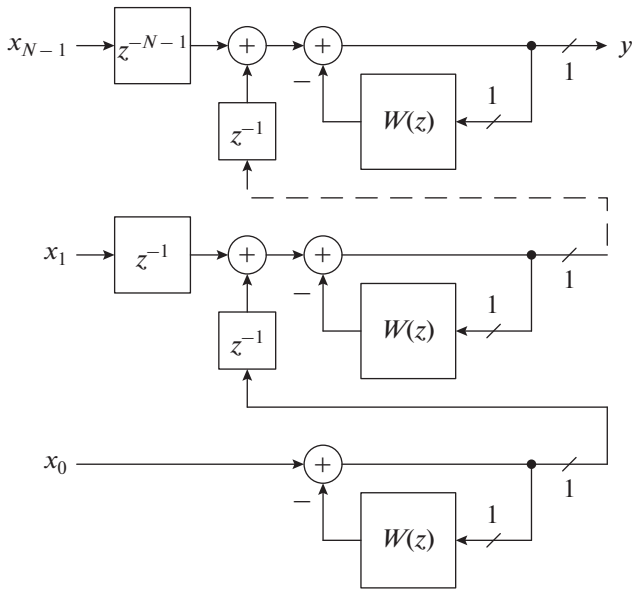


Рис. 13. Структура конвейерного ΔΣ-модулятора.

ны до одноразрядных, что снижает задержку суммирования и повышает быстродействие схемы.

В работе [15] авторы предложили более общую форму введения конвейера в ΔΣ-модуляторы. В частности, авторы доказали, что структуры, представленные на рис. 14, эквивалентны. На рис. 14а показана типовая структура цифрового ΔΣ-модулятора в модели с обратной связью по ошибке. Обозначения СЗР{·} и МЗР{·} соответствуют операции взятия старших или младших значащих разрядов от аргумента соответственно. Типовая структура выполняет сжатие входных отсчетов с N до M разрядов, сигнал ошибки при этом имеет разрядность L . Критическим местом данной структуры, как уже обсуждалось ранее, является сумматор в петле обратной связи, разрядность которого определяется как $N - M$.

Структура, представленная на рис. 14б, представляет каскадное соединение двух ΔΣ-модуляторов. Первый ΔΣ-модулятор выполняет сжатие входных отсчетов с N до M_1 разрядов, второй – с M_1 до M_2 разрядов. Такое решение позволяет сократить разность между разрядностями входа и выхода ΔΣ-модулятора и, следовательно, упростив схему сумматора в петле обратной связи, повысить быстродействие ΔΣ-модулятора. Предложенная конвейерная структура может быть обобщена на произвольное число стадий. В предельном случае – при использовании на каждой стадии ΔΣ-модулятора с одноразрядным сигналом ошибки – формируется структура, показанная на рис. 13. Как известно, альтернативой введению конвейера является распараллеливание вычислений. Использование этого подхода рассмотрено в работах [7, 30, 39, 81]. Введение конвейера и распараллеливание могут использоваться совместно.

3.6. Реконфигурируемый цифровой ΔΣ-модулятор

Цифровое исполнение ΔΣ-модулятора открывает широкие возможности по реконфигурированию модулятора, в том числе: частотных свойств [14, 15, 19, 34, 39, 82–84], порядка [14, 15, 39, 84], разрядности [9, 85, 86]. Частотные свойства настраиваются с помощью изменения вида передаточной функции $W(z)$. Наиболее простым способом реконфигурирования является переключение между низкочастотным, полосовым и высокочастотным типами модулятора. Это достигается либо изменением знака в петле обратной связи для структур “низкочастотный–высокочастотный”, либо включением/отключением дополнительной задержки для перехода к полосовому типу.

Более сложные перестройки предполагают введение умножителей в петлю обратной связи для формирования нулей передаточной функции в нужной области частот. Однако следует учиты-

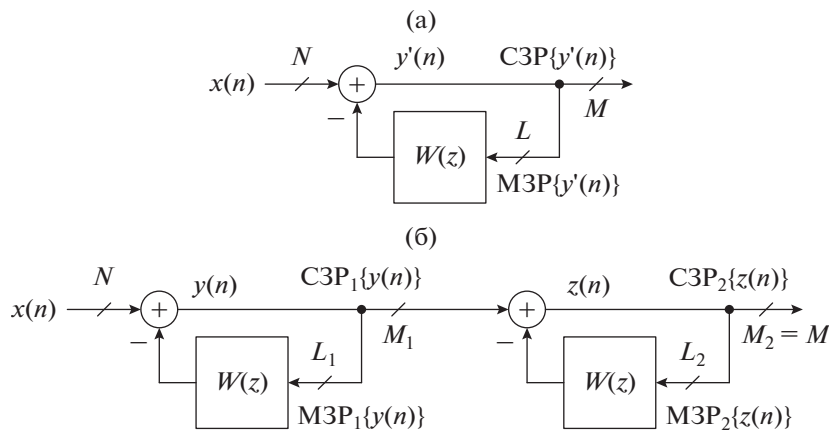


Рис. 14. Структура типового (а) и конвейерного (б) ΔΣ-модуляторов.

вать, что введение блока умножения снижает быстродействие $\Delta\Sigma$ -модулятора. Решением данной проблемы может быть использование специально подобранных коэффициентов, для которых операции умножения могут быть заменены комбинацией сдвигов и сложений. В работе [15] авторы заменили умножитель на блок памяти с предварительно рассчитанными выходными отсчетами умножителя.

Изменение порядка, в первую очередь, направлено на снижение потребляемой мощности. Так как большинство модуляторов строится по MASH-архитектуре, то включение/отключение каскадов в такой структуре может одновременно приводить к изменению порядка и потребляемой мощности модулятора. Кроме того, изменение порядка позволяет варьировать мощность шума внутри/вне полосы рабочих частот. Что, в свою очередь, определяет требования к фильтрации выходного аналогового сигнала.

Разрядность может варьироваться как для входных отсчетов, так и для выходных отсчетов $\Delta\Sigma$ -модулятора. В работе [85] предложена структура модулятора с возможностью изменения разрядности входных отсчетов. В предложенном решении, аналогичном конвейерному модулятору на рис. 13, используется отдельный $\Delta\Sigma$ -модулятор для обработки каждого разряда входного отсчета и перенос сигналов между этими $\Delta\Sigma$ -модуляторами. При этом $\Delta\Sigma$ -модуляторы младших разрядов могут отключаться, когда требования к разрядности снижаются, чтобы снизить потребляемую мощность.

4. БАЗОВЫЙ ЦИФРОАНАЛОГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ

4.1. Архитектуры базового ЦАП

Цифроаналоговый преобразователь, входящий в состав $\Delta\Sigma$ -ЦАП, как правило, является стандартным ЦАП со скоростью Найквиста. Как следствие, все принципы и подходы к разработке базового ЦАП остаются теми же. Имеется множество работ, посвященных вопросам разработки ЦАП со скоростью Найквиста, например, [87–89]. В данном обзоре дана лишь краткая справка по основным понятиям и структурам ЦАП.

Цифроаналоговый преобразователь реализуется по одной из следующих основных архитектур: унарной, бинарной или сегментной [90]. Наиболее подверженной негативному влиянию отклонения взвешивающих элементов от номинальных значений является бинарная архитектура, поэтому разрядность таких ЦАП ограничена, как правило, 6. Унарные ЦАП наименее чувствительны к таким ошибкам и могут гарантировать монотонность характеристики преобразования, однако требуют большего числа управляющих сигналов.

Сегментная архитектура представляет компромиссное решение. Одним из возможных решений проблемы рассогласования элементов может служить методика размещения взвешивающих элементов на топологии кристалла [91–94].

В $\Delta\Sigma$ -ЦАП разрядность кода, поступающего на вход базового ЦАП, варьируется от 1 до 10 бит. Если разрядность не превышает 4 бит, то встречаются как полностью бинарные [15, 30, 39], так и полностью унарные реализации [9, 14, 29]. При более высоких разрядностях предпочтение отдается сегментной архитектуре [31, 36, 95].

С точки зрения используемых компонентов в качестве взвешивающих элементов ЦАП могут быть: емкостные, резистивные и на источниках тока. Как правило, в телекоммуникационных системах в силу своего высокого быстродействия предпочтение в $\Delta\Sigma$ -ЦАП отдается базовому ЦАП на источниках тока [31, 36, 95]. Однако в приложениях, где полоса частот не превышает нескольких мегагерц можно встретить емкостные реализации базового ЦАП [10, 46, 47, 53].

4.2. Динамическое согласование элементов

В $\Delta\Sigma$ -ЦАП одному цифровому отсчету сопоставляется несколько отсчетов меньшей разрядности. В процессе последующей фильтрации выходного сигнала происходит их усреднение. Этот прием усреднения во времени также используется и в динамическом согласовании элементов, которым часто дополняют $\Delta\Sigma$ -ЦАП [31, 47, 95, 96]. Динамическое согласование элементов применяется в унарном сегменте базового ЦАП и подразумевает вариативность формирования выходного сигнала за счет использования различных комбинаций элементов. То есть из всех взвешивающих элементов для каждого кода выбирается свой случайный – в более строгом смысле псевдослучайный с некоторым периодом повторения – набор элементов, формирующих выходной аналоговый сигнал. В результате для периодического сигнала с течением времени происходит усреднение ошибок, вызванных рассогласованием взвешивающих элементов, что снижает уровень паразитных гармоник и расширяет динамический диапазон. Причем чем длиннее период повторения этих случайных наборов, тем эффективнее динамическое согласование элементов.

5. ФИЛЬТРАЦИЯ ВЫХОДНОГО СИГНАЛА

5.1. Аналоговая фильтрация

Спектр выходного сигнала $\Delta\Sigma$ -ЦАП имеет шумовую составляющую, возрастающую по амплитуде с отстройкой от рабочей полосы частот. Причем чем больше порядок модулятора, тем меньше спектральная плотность шума в полосе сигнала и

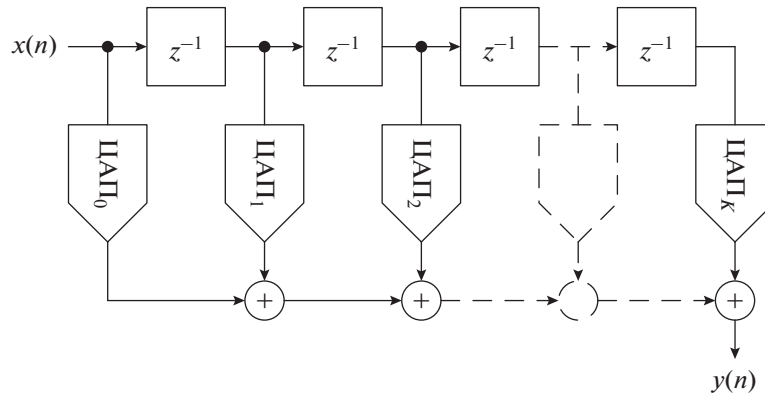


Рис. 15. Структура полуцифрового КИХ-фильтра.

тем больше вне полосы. Шум вне полосы должен быть подавлен аналоговым фильтром, расположенным после базового ЦАП. Такие аналоговые фильтры в зависимости от требований могут быть либо в составе кристалла $\Delta\Sigma$ -ЦАП, либо вне кристалла $\Delta\Sigma$ -ЦАП.

Если полоса частот ограничена единицами мегагерц, то аналоговый фильтр может быть включен в состав кристалла $\Delta\Sigma$ -ЦАП. В таком случае фильтр строится на основе дискретных во времени схем на переключаемых конденсаторах при полосе частот несколько сотен килогерц [46, 47, 53, 97] или на основе непрерывных во времени схем при полосе частот до единиц мегагерц [9, 29]. Аналоговый фильтр может занимать на кристалле до половины площади кристалла $\Delta\Sigma$ -ЦАП и потреблять значительную мощность. Если полоса частот составляет десятки и более мегагерц, то аналоговый фильтр выносится за пределы кристалла $\Delta\Sigma$ -ЦАП и реализуется как внешний компонент. При этом возможны два варианта исполнения такого фильтра: либо пассивная цепь (RC- или RLC-цепь) [7, 98], либо фильтр на акустических волнах [36, 52, 86, 98–100]. Так как использование внешних фильтров уменьшает степень интеграции и повышает стоимость изделия, то все большее распространение получают решения, в которых использована цифровая и полуцифровая фильтрация выходного сигнала $\Delta\Sigma$ -ЦАП. Такие типы фильтрации позволяют ослабить требования к аналоговым фильтрам или вовсе отказаться от них.

5.2. Цифровая и полуцифровая фильтрация

В строгом смысле цифровая фильтрация выходного сигнала $\Delta\Sigma$ -модулятора не применяется. Это связано с тем, что при цифровой фильтрации будет расти разрядность кода, подаваемого на базовый ЦАП, что противоречит исходной задаче снижения разрядности последнего за счет введения $\Delta\Sigma$ -модулятора. Такой эффект можно наблюдать в $\Delta\Sigma$ -АЦП, когда одноразрядный выходной

код $\Delta\Sigma$ -модулятора, пройдя через децимирующий фильтр, становится многоразрядным. Как следствие, цифровую фильтрацию используют только в комбинации с полуцифровой фильтрацией в многокаскадных $\Delta\Sigma$ -модуляторах.

В случае полуцифровой фильтрации, как обсуждалось в разд. 1.2, предполагается включение в цифровой фильтр базовых ЦАП вместо умножителей (рис. 15). Как следствие, умножение отсчета на коэффициент фильтра выполняет базовый ЦАП, а суммируются сигналы в аналоговой форме. Формирование коэффициентов происходит за счет масштабирования полной шкалы каждого базового ЦАП в ветвях полуцифрового фильтра. При этом не происходит роста разрядности базовых ЦАП, так как все операции, приводившие к росту разрядности, — умножение и сложение — теперь переведены в аналоговую форму. Полуцифровая фильтрация требует увеличения количества базовых ЦАП до величины, равной числу ветвей фильтра. При этом рассогласования, возникающие между этими ЦАП, не вносят нелинейных искажений, так как отклонения коэффициентов фильтра от номинальных значений приводят лишь к искажениям передаточной характеристики фильтра, т.е. к линейным искажениям. Тем не менее нелинейность преобразования каждого базового ЦАП все равно продолжает оказывать влияние на нелинейность преобразования всего $\Delta\Sigma$ -ЦАП.

Как правило, полуцифровая фильтрация используется для одноразрядного выходного кода $\Delta\Sigma$ -модулятора [32, 100–102]. Это позволяет сохранить простоту и строгую линейность, присущую одноразрядному ЦАП. Если модулятор многокаскадный, то первый каскад имеет одноразрядный выходной сигнал, который подается на полуцифровой фильтр, а выходные сигналы последующих каскадов обрабатываются цифровым фильтром, передаточная характеристика которого повторяет передаточную характеристику полу-

цифрового фильтра [33, 45, 46]. В зависимости от порядка фильтра и точности исполнения коэффициентов полуцифрового фильтра удается добиться подавления внеполосного шума до величин, достаточных для отказа от аналогового фильтра [35, 36].

Существует также иной подход к полуцифровой фильтрации – фильтр с аппроксимацией во времени (TAF – Time-Approximation Filter) [39, 44]. Идея фильтра состоит в изменении способа аппроксимации импульсной характеристики $\Delta\Sigma$ -ЦАП. А именно: амплитудно-импульсный способ аппроксимации заменяется на широтно-импульсный. Это позволяет перенести формирование коэффициентов фильтра в цифровую форму и при необходимости обеспечить перестройку фильтра.

Достигнутые на текущий момент результаты представлены в табл. 3. Характеристика “Интерполяция” показывает, как реализован блок интерполяции кристалла дельта-сигма ЦАП. Параметры $\Delta\Sigma$ -модулятора раскрываются в графах: MASH (использование многокаскадной структуры), порядок (порядок $\Delta\Sigma$ -модулятора), частотные свойства (тип фильтра, входящего в состав $\Delta\Sigma$ -модулятора), квантователь. Тип используемого на кристалле $\Delta\Sigma$ -ЦАП выходного фильтра указан в графе “Выходной фильтр”. Как видно из табл. 3, разрядность входного кода $\Delta\Sigma$ -модулятора варьируется от 12 до 16 для телекоммуникационных приложений и 24 разряда для звуковых. Порядок модулятора варьируется от 1 до 4, наиболее распространенные порядки – второй и третий. Потребляемая мощность $\Delta\Sigma$ -ЦАП варьируется от десятков милливатт до единиц ватт. Частота дискретизации $\Delta\Sigma$ -ЦАП для телекоммуникационных приложений изменяется от 20 Мвыборок/с до 12 Гвыборок/с, а полосы рабочих частот от десятков мегагерц до единиц гигагерц. Причем для достижения быстродействия более 1 Гвыборок/с требуется введение конвейера в цифровой $\Delta\Sigma$ -модулятор.

ЗАКЛЮЧЕНИЕ

Использование $\Delta\Sigma$ -модуляторов при разработке ЦАП позволяет решить ряд проблем, присущих ЦАП со скоростью Найквиста. Во-первых, $\Delta\Sigma$ -модулятор снижает разрядность ЦАП с сохранением динамических характеристик. Удастся понизить разрядность до единицы и использовать для формирования выходного аналогового сигнала любое ключевое устройство, например, ключевой усилитель мощности [18–28]. Во-вторых, понижение разрядности ЦАП достигается за счет введения цифровой схемы – цифрового $\Delta\Sigma$ -модулятора, что снижает долю аналоговых блоков в устройстве и дает положительный эффект при переходе на технологии с меньшей проектной нор-

мой [18, 21, 22]. В-третьих, увеличение доли цифровых устройств позволяет обеспечить высокий уровень реконфигурируемости параметров преобразователя, в том числе за счет цифровых управляющих сигналов.

В обзоре рассмотрены основные блоки, входящие в состав $\Delta\Sigma$ -ЦАП, а именно: интерполяционный фильтр, цифровой $\Delta\Sigma$ -модулятор, базовый ЦАП и выходной фильтр. Отмечено, что блок интерполяции может ограничивать быстродействие $\Delta\Sigma$ -ЦАП. В этой связи могут применяться транспонированные структуры, полифазные фильтры, многокаскадная интерполяция [19, 54]. Цифровые $\Delta\Sigma$ -модуляторы, с одной стороны, лишены недостатков, присущих аналоговым $\Delta\Sigma$ -модуляторам: влияние разброса, перегрузка, ограниченная полоса рабочих частот из-за конечного коэффициента усиления и полосы пропускания активных компонентов, нелинейность ЦАП в петле обратной связи, ошибки квантователя и пр. С другой стороны, при разработке цифровых $\Delta\Sigma$ -модуляторов решаются проблемы повышения быстродействия, подавления паразитных гармоник и обеспечения точности компенсации ошибки в многокаскадных структурах [7, 14, 15, 33, 77]. При этом переход в цифровую область обеспечил широкие возможности по реконфигурированию $\Delta\Sigma$ -модуляторов как по частотным свойствам, так и по порядку и разрядности. Базовый ЦАП $\Delta\Sigma$ -преобразователя является в строгом смысле ЦАП со скоростью Найквиста, но со сниженной разрядностью. Как следствие, все принципы разработки остаются теми же. Дополнением является динамическое согласование элементов. Обратной стороной понижения разрядности базового ЦАП является повышенная частота работы и повышенный шум квантования вне полосы рабочих частот, иногда превосходящий по своей амплитуде сам сигнал. В связи с этим выходной аналоговый сигнал базового ЦАП должен быть отфильтрован с высоким подавлением вне полосы пропускания. В низкочастотных приложениях для этого используются активные фильтры на переключаемых конденсаторах [46, 47, 53, 97]. В высокочастотных приложениях используются внешние фильтры на основе поверхностных и объемных акустических волн или пассивные частотно-избирательные цепи [7, 36, 52, 86, 98–100]. Однако такое решение не всегда приемлемо, так как уменьшает степень интеграции. Поэтому развитие получили методы цифровой и полуцифровой фильтрации, которые позволяют либо ослабить требования к аналоговому фильтру до приемлемых для реализации на кристалле, либо отказаться от использования аналоговых фильтров [35, 36].

$\Delta\Sigma$ -ЦАП имеют тенденцию к расширению возможностей по перестройке за счет введения более сложных цифровых схем и упрощению аналоговых блоков. В связи с этим в настоящее время

Таблица 3. Сравнение параметров $\Delta\Sigma$ -ЦАП по данным разных авторов за 2016–2020 гг.

Источник	Год	Технология, нм	S , мм ²	N	ЧД, Мвыб./с	ПЧ, МГц	OSR	Питание, В	$P_{\text{потр}}$, мВт	Интерполяция	MASH	Порядок	ЧС	Квантователь	ВФ	ОСШ	SNDR	SFDR	УШ дБ/Гц	Назначение
[47]	2020	350	2.43	24	6.4	0.025	128	5	26.5	ППФ + ИГФ	2-1	3	ФНЧ	24 в 4	Аналоговый SC	–	122	137	–	Аудио
[56]	2020	65	0.35	12	1350	17	32	1.2	36	КИХ + БИХ + ИГФ	да	3	ПФ	11 в 6	Полуцифровой	–	–	–145	Wi-Fi, WiMAX, 64 QAM	
[39, 44]	2020	65	1.68	16	625	20	15.625	1/2.5	–	Внешняя	1-1-1	3	ФНЧ	12 в 4	Полуцифровой – TAF	–	–	–155	256QAM	
[98]	2019	28 FD-SOI	0.047	16	450	20	22.5	1	40	Внешняя	нет	3	ПФ	16 в 1	Полуцифровой	61	–	–125	LTE	
[15]	2018	65	1.62	16	12000	3000	1–8	1/2.5	1760	Внешняя	нет	2/3	ПФ	13 в 4	нет	–	60	–130	5G	
[32]	2018	28	0.3	–	600	27.3	22	1/1.2	36.3	ППФ + фильтр Фарроу на основе интерполяции Лагранжа	нет	4	ФНЧ	Выход 1 бит	Полуцифровой ФВЧ	–	–	–143	Wi-Fi 5	
[31]	2018	16	0.43	14	850	20	42.5	1	290	Внешняя	–	1	ПФ	14 в 9	RISC на кристалле	–	–	–143	LTE	
[95]	2018	180	4	14	20	11.67	40	1.8	1381	Внешняя	–	–	ФНЧ	14 в 12	нет	–	76	–	ВК-устройства	
[36]	2017	28	0.82	15	895	20	44.75	0.9/1.5	150	Внешняя	нет	2	ПФ	15 в 10	нет	–	–	–158	4G/LTE	
[30]	2016	65	0.57	12	2000	100	4	1/2.5	681	–	–	–	ФНЧ	8 в 4	нет	–	74.4	–157	Радиолокация	
[14]	2016	130 SiGe	15	14	3000	150	20	3.3/1.5	843	–	1-1	1/2	ФВЧ/ПФ	14 в 3	нет	–	55.7	–110	WCDMA/LTE	

Введены следующие сокращения: ПЧ – полоса частот, S – площадь, ЧД – частотный диапазон, ЧС – частотные свойства, ВФ – выходной фильтр, ОСШ – отношение сигнал/шум, УШ – уровень шума, $P_{\text{потр}}$ – потребляемая мощность, N – разрядность входного кода, ВК – высоковольтные.

основными направлениями развития в разработке $\Delta\Sigma$ -ЦАП являются следующие.

1. Повышение быстродействия цифровой части за счет введения конвейеров и распараллеливания вычислений [7, 14, 15, 29, 30, 39, 80, 81].

2. Развитие методов реконfigurирования цифровых $\Delta\Sigma$ -модуляторов по основным параметрам (частотные свойства, порядок, разрядность) [14, 15, 39, 84, 85].

3. Развитие цифровых и полуматричных методов фильтрации для повышения степени интеграции $\Delta\Sigma$ -ЦАП [33, 45, 46].

4. Развитие цифровых методов перестройки частотных параметров выходных фильтров [39, 44].

ФИНАНСИРОВАНИЕ РАБОТЫ

Работа выполнена при финансовой поддержке Российского фонда фундаментальных исследований (проект № 20-17-50021\20).

СПИСОК ЛИТЕРАТУРЫ

1. Коротков А.С., Теленков М.В. // Зарубеж. радиоэлектроника. 2002. № 12. С. 53.
2. Коротков А.С., Теленков М.В. // Микроэлектроника. 2007. Т. 36. № 1. С. 66.
3. Коротков А.С., Пилипко М.М., Морозов Д.В., Хауэр Й. // Микроэлектроника. 2010. Т. 39. № 3. С. 230.
4. Морозов Д.В., Пилипко М.М., Коротков А.С. // Микроэлектроника. 2011. Т. 40. № 1. С. 64.
5. Pavan S., Schreier R., Temes G.C. Understanding Delta-Sigma Data Converters. N.Y.: IEEE, 2017.
6. de la Rosa J.M. Sigma-Delta Converters: Practical Design Guide. N.Y.: IEEE, 2018.
7. Su S., Tsai T., Sharma P.K., Chen M.S. // IEEE J. Solid-State Circuits. 2015. V. 50. № 4. P. 896.
8. Safi-Harb M., Roberts G.W. // IEEE Trans. 2005. V. CS-I-52. № 10. P. 2075.
9. Qiu D., Yi T., Hong Z. // Proc. 16th Asia and South Pacific Design Automation Conf. Yokohama. 25–28 Jan. N.Y.: IEEE, 2011. P. 119.
10. Yaya C., Shifeng Z., Tianlin C. et al. // Proc. 2016 IEEE Int. Conf. on Solid-State and Integrated Circuit Technology. Hangzhou. 25–28 Oct. N.Y.: IEEE, 2016. P. 894.
11. Greshishchev Y.M., Pollex D., Wang S.-C. et al. // Proc. IEEE Int. Solid-State Circuits Conference. San Francisco. 20–24 Feb. N.Y.: IEEE, 2011. P. 194.
12. Xiao J., Chen B., Kim T.Y. et al. // Proc. Symp. VLSI Circuits. Kyoto. 12–14 June. N.Y.: IEEE, 2013. P. C262.
13. Huang H., Heilmeyer J., Grözing M., Berroth M. // Proc. IEEE Radio Frequency Integrated Circuits Symp. Tampa. 1–3 June. N.Y.: IEEE, 2014. P. 65.
14. McCue J.J., Dupaix B., Duncan L. et al. // IEEE J. of Solid-State Circuits. 2016. V. 51. № 5. P. 1109.
15. Su S., Chen M.S. // IEEE J. Solid-State Circuits. 2018. V. 53. № 12. P. 3517.
16. Erdmann C., Cullen E., Brouard D. et al. // Proc. IEEE Int. Solid-State Circuits Conf. San Francisco. 5–9 Feb. N.Y.: IEEE, 2017. P. 280.
17. Lin C., Wong K.L.J., Kim T.-Y. et al. // Proc. IEEE Int. Solid-State Circuits Conf. San Francisco. 11–15 Feb. N.Y.: IEEE, 2018. P. 360.
18. Cordeiro R.F., Oliveira A.S.R., Vieira J., Silva T.O. // Proc. 2016 IEEE MTT-S Int. Microwave Symp. (IMS) San Francisco. 22–27 May. N.Y.: IEEE, 2016. P. 7540117.
19. Dinis D.C., Cordeiro R.F., Oliveira A.S.R., Vieira J. // Proc. 2016 IEEE MTT-S Int. Microwave Symp. (IMS) San Francisco. 22–27 May. N.Y.: IEEE, 2016. P. 7540148.
20. Dinis D.C., Cordeiro R.F., Barradas F.M. et al. // IEEE Trans. 2016. V. MTT-64. № 12. P. 4720.
21. Hühn F., Wentzel A., Heinrich W. // Proc. Europ. Microwave Conf. London, 4–6 Oct. N.Y.: IEEE, 2016. P. 839.
22. Sotiriadis P.P., Basetas C. // 2017 6th Int. Conf. on Modern Circuits and Systems Technologies (MOCAS). Thessaloniki, 4–6 May. N.Y.: IEEE, 2017. P. 7937680.
23. Raptakis A., Oustoglou C., Sotiriadis P.P. // Proc. 2017 Panhellenic Conf. on Electronics and Telecommunications (PACET). Xanthi, 17–18 Nov. N.Y.: IEEE, 2017. P. 8259964.
24. Marin R., Frappé A., Kaiser A. // IEEE Trans. 2018. V. CS-I-65. № 1. P. 343.
25. Basetas C., Temenos N., Sotiriadis P.P. // Proc. 2018 IEEE Int. Frequency Control Symp. Olympic Valley. 21–24 May. N.Y.: IEEE, 2018, P. 8597469.
26. Liu W., Li F., Xue P., Hong Z. // Proc. 2018 14th IEEE Int. Conf. on Solid-State and Integrated Circuit Technology (IC SICT). Qingdao. 31 Oct.–3 Nov. N.Y.: IEEE, 2018. P. 8565003.
27. Xue P., Shao H., Fang D. et al. // 2018 Int. SoC Design Conf. (ISOCC). Daegu. 12–15 Nov. N.Y.: IEEE, 2018. P. 27.
28. Arfi A.B., Jouzdani M., Helaoui M., Ghannouchi F.M. // IEEE Trans. 2019. V. CS-II-66. № 11. P. 1795.
29. Seddighrad P., Ravi A., Sajadieh M. et al. // Proc. Europ. Solid-State Circuits Conf. Edinburgh, 15–19 Sept. N.Y.: IEEE, 2008. P. 202.
30. Su S., Chen M.S. // IEEE J. Solid-State Circuits. 2016. V. 51. № 12. P. 2963.
31. Roverato E., Kosunen M., Cornelissens K. et al. // IEEE Solid-State Circuits Lett. 2018. V. 1. № 5. P. 126.
32. Gebreyohannes F.T., Frappé A., Cathelin P. et al. // IEEE Trans. 2018. V. CS-I-65. № 11. P. 3956.
33. Luo Y., Qi L., Jain A., Ortmanns M. // 2018 IEEE Int. Symp. on Circuits and Systems. (ISCAS). Florence, 27–30 May. N.Y.: IEEE, 2018. P. 8351088.
34. Kumar N., Rawat K., Ghannouchi F.M. // IEEE Trans. 2020. V. CS-I-67. № 7. P. 2455.
35. Roverato E., Kosunen M., Lemberg J. et al. // IEEE Trans. 2014. V. CS-I-61. № 11. P. 3256.
36. Roverato E., Kosunen M., Cornelissens K. et al. // IEEE J. Solid-State Circuits. 2017. V. 52. № 12. P. 3434.

37. *Su S., Chen M.S.* // Proc. IEEE Int. Solid-State Circuits Conf. San Francisco, 31 Jan.–4 Feb. N.Y.: IEEE, 2016. P. 456.
38. *Su S., Chen M.S.* // Proc. IEEE Int. Solid-State Circuits Conf. San Francisco, 11–15 Feb. N.Y.: IEEE, 2018. P. 362.
39. *Su S., Chen M.S.* // Proc. IEEE Int. Solid-State Circuits Conf. San Francisco, 16–20 Feb. N.Y.: IEEE, 2020. P. 174.
40. *Uchimura K., Hayashi T., Kimura T., Iwata A.* // Proc. IEEE Int. Conf. on Acoustics, Speech, and Signal Processing. Tokyo, 7–11 April. N.Y.: IEEE, 1986. P. 1545.
41. *Hayashi T., Inabe Y., Uchimura K., Kimura T.* // Digest of Technical Papers IEEE Int. Solid-State Circuits Conf. Anaheim. 19–21 Feb. N.Y.: IEEE, 1986. P. 182.
42. *Xu X., Temes G., Schreiber R.* // IEEE Intern. Symp. on Circuits and Systems. San Diego, 10–13 May. N.Y.: IEEE, 1992. P. 597.
43. *Sonika, Neema D.D., Patel R.N.* // Proc. 2015 Int. Conf. on Advanced Computing and Communication Systems. Coimbatore. 5–7 Jan. N.Y.: IEEE, 2015. P. 7324089.
44. *Su S., Chen M. S.-W.* // IEEE J. Solid-State Circuits. Early Access Article. <https://doi.org/10.1109/JSSC.2020.3036342>
45. *Barkin D.B., Lin A.C.Y., Su D.K., Wooley B.A.* // IEEE J. Solid-State Circuits. 2004. V. 39. № 4. P. 585.
46. *Francesca P.A., Ferrat P., Huang Q.* // IEEE J. Solid-State Circuits. 2004. V. 39. № 12. P. 2098.
47. *Gao Z., Luan B., Lin S. et al.* // Proc. 2020 15th IEEE Int. Conf. on Solid-State & Integrated Circuit Technology (IC SICT). Kunming. 3–6 Nov. N.Y.: IEEE, 2020. P. 9278342.
48. *Jian H., Xu Z., Chang M.F.* // IEEE Trans. 2008. V. CS-II-55. № 1. P. 6.
49. *Jian H., Xu Z., Wu Y., Chang F.* // Proc. Symp. on VLSI Circuits. Kyoto. 16–18 June. N.Y.: IEEE, 2009. P. 186.
50. *Jian H., Xu Z., Wu Y., Chang M.F.* // IEEE J. of Solid-State Circuits. 2010. V. 45. № 4. P. 768.
51. *Westerveld H., Schinkel D., van Tuijl E.* // Digest of Technical Papers 2015 IEEE Solid-State Circuits Conf. (ICSSC) San Francisco. 22–26 Feb. N.Y.: IEEE, 2015. P. 7063033.
52. *Frappe A., Flament A., Stefanelli B. et al.* // IEEE J. Solid-State Circuits. 2009. V. 44. № 10. P. 2722.
53. *Wang Y., Cai M., Zhang Y., Yu M.* // Proc. Int. Conf. on Optoelectronics and Microelectronics. Changchun. 23–25 Aug. N.Y.: IEEE, 2012. P. 478.
54. *Caza-Szoka M., Massicotte D.* // Proc. 2020 IEEE Int. Instrumentation and Measurement Technology Conf. (I2MTC) Dubrovnik. 25–28 May. N.Y.: IEEE, 2020. P. 9128668.
55. *Roverato E., Kosunen M., Lemberg J. et al.* // 2013 Europ. Conf. on Circuit Theory and Design (ECCTD). Dresden. 8–12 Sept. N.Y.: IEEE, 2013. P. 6662279.
56. *Pozsgay A., Zounes T., Hossain R. et al.* // Digest of Technical Papers IEEE Int. Solid-State Circuits Conf. San Francisco. 3–7 Feb. 2008. N.Y.: IEEE, 2008. P. 360.
57. *Maghari N., Kwon S., Temes G.C., Moon U.* // Electronics Lett. 2006. V. 42. № 22. P. 1269.
58. *Maghari N., Kwon S., Temes G.C., Moon U.* // Proc. IEEE Int. Symp. on Circuits and Systems. New Orleans. 27–30 May. N.Y.: IEEE, 2007. P. 257.
59. *Maghari N., Moon U.-K.* // Proc. IEEE Int. Symp. on Circuits and Systems. Seattle. 18–21 May. N.Y.: IEEE, 2008. P. 1216.
60. *Maghari N., Kwon S., Moon U.* // Proc. IEEE Custom Integrated Circuits Conf. San Jose. 21–24 Sept. N.Y.: IEEE, 2008. P. 101.
61. *Maghari N., Kwon S., Moon U.* // IEEE J. Solid-State Circuits. 2009. V. 44. № 8. P. 2212.
62. *Han C., Park B., Maghari N.* // 2018 IEEE Int. Symp. on Circuits and Systems (ISCAS) Florence. 27–30 May. N.Y.: IEEE, 2018. P. 8351710.
63. *Abhilash K.N., Srinivas M.B.* // Proc. IEEE Int. System-on-Chip Conf. Las Vegas. 2–5 Sept. N.Y.: IEEE, 2014. P. 347.
64. *Han C., Kim T., Maghari N.* // Proc. 2016 14th IEEE Int. New Circuits and Systems Conf. (NEWCAS) Vancouver. 26–29 June. N.Y.: IEEE, 2016. P. 7604817.
65. *Zhang R., Han Y., Liu Q., Qing K.* // Intern. Conf. on Communications, Circuits and Systems. Chengdu. 15–17 Nov. N.Y.: IEEE, 2013. P. 425.
66. *Mo H., Kennedy M.P.* // IEEE Trans. 2016. V. CS-I-63. № 8. P. 1131.
67. *Mo H., Tan X., Kennedy M.P.* // IEEE Intern. Conf. on Electronics, Circuits and Systems. Monte Carlo. 11–14 Dec. N.Y.: IEEE, 2016. P. 472.
68. *Mo H., Kennedy M.P.* // IEEE Trans. 2017. V. CS-I-64. № 6. P. 1390.
69. *Borkowski M.J., Riley T.A.D., Hakkinen J., Kostamovaara J.* // IEEE Trans. 2005. V. CS-II-52. № 10. P. 626.
70. *Mo H., Kennedy M.P.* // IEEE Trans. 2017. V. CS-II-64. № 4. P. 372.
71. *Level P., Ramet S., Camino L.* Digital to Digital Sigma-Delta Modulator and Digital Frequency Synthesizer Incorporating the Same. US Pat. № 6822593 B2. Publ. 23 Nov. 2004.
72. *Hosseini K., Kennedy M.P.* // IEEE Trans. 2007. V. CS-II-54. № 12. P. 1105.
73. *Hosseini K., Kennedy M.P.* // IEEE Trans. 2007. V. CS-I-54. № 12. P. 2628.
74. *Hosseini K., Kennedy M.P.* // IEEE Trans. 2008. V. CS-II-55. № 11. P. 1104.
75. *Fitzgibbon B., Kennedy M.P.* // IEEE Int. Symp. on Circuits and Systems. Paris, 30 May–2 June. N.Y.: IEEE, 2010. P. 245.
76. *Mo H., Kennedy M.P.* // 2013 Europ. Conf. on Circuit Theory and Design (ECCTD). Dresden. 8–12 Sept. N.Y.: IEEE, 2013. P. 6662197.
77. *Luong T.-K., Hoang H.-H., Nguyen-Minh H.-A. et al.* // IEEE Asia Pacific Conf. on Circuits and Systems. Ha Long. 8–10 Dec. N.Y.: IEEE, 2020. P. 19.
78. *Song J., Park I.* // IEEE Trans. 2010. V. CS-I-57. № 9. P. 2426.
79. *Liao Y., Fan X., Hua Z.* // IEEE Trans. 2019. V. CS-II-66. № 1. P. 66.

80. *Madoglio P., Ravi A., Cuellar L. et al.* // IEEE J. of Solid-State Circuits. 2010. V. 45. № 7. P. 1410.
81. *Parikh V.K., Feygin G., Balsara P.T. et al.* // IEEE Dallas/CAS Workshop on Architecture, Circuits and Implementation of SOCs. Richardson. 10–10 Oct. N.Y.: IEEE, 2005. P. 207.
82. *Nzeza C.N., Gorisse J., Frappe A. et al.* // Proc. Europ. Conf. on Circuit Theory and Design. Seville. 27–30 Aug. N.Y.: IEEE, 2007. P. 480.
83. *Nzeza C.N., Flament A., Frappe A. et al.* // Proc. Europ. Conf. on Circuits and Systems for Communications. Bucharest. 10–11 July. N.Y.: IEEE, 2008. P. 320.
84. *McCue J. J., Dupaix B., Duncan L. et al.* // Proc. IEEE Radio Frequency Integrated Circuits Symp. Phoenix. 17–19 May. N.Y.: IEEE, 2015. P. 103.
85. *Qazi S.A., Shah S.A.A., Omer H., Winker J.J.* // Proc. 2017 IEEE Nordic Circuits and Systems Conf. (NORCAS): NORCHIP and Int. Symp. of System-on-Chip (SoC). Linkoping. 23–25 Oct. N.Y.: IEEE, 2017. P. 8124973.
86. *Li F., Liu W., Xue P. et al.* // Proc. 2018 14th IEEE Int. Conf. on Solid-State and Integrated Circuit Technology. Qingdao. 31 Oct.–3 Nov. N.Y.: IEEE, 2018. P. 8565681.
87. *Radulov G., Quinn P., Hegt H., A.H.M. van Roermund A.H.M.* Smart and Flexible Digital-to-Analog Converters (Analog Circuits and Signal Processing). Dordrecht: Springer Netherlands, 2011.
88. *Pelgrom M.* Analog-to-Digital Conversion. Cham: Springer International Publishing AG, 2016.
89. *Veeder K.* Digital Converters for Image Sensors. Bellingham: SPIE, 2015.
90. *Енученко М.С., Морозов Д.В., Пилипко М.М.* // РЭ. 2017. Т. 62. № 1. С. 81.
91. *Константинов А.И., Енученко М.С., Коротков А.С.* // Изв. вузов. Радиоэлектроника. 2017. Т. 60. № 5. С. 287.
92. *Yenuchenko M.S., Korotkov A.S., Morozov D.V. et al.* // IEEE Trans. 2019. V. CS-I-66. № 6. P. 2230.
93. *Yenuchenko M.S., Pilipko M.M.* // IEEE Trans. 2020. V. CS-II-67. № 11. P. 2317.
94. *Yenuchenko M.S., Pilipko M.M.* // IEEE Trans. 2021. V. CS-II-68. № 3. P. 883.
95. *Eom W., Kwon K., Lee K. et al.* // IEEE Trans. 2018. V. CS-II-65. № 7. P. 874.
96. *Kobayashi H., Wei J.-L., Murakami M. et al.* // Proc. 2018 14th IEEE Int. Conf. on Solid-State and Integrated Circuit Technology (IC SICT). Qingdao. 31 Oct.–3 Nov. N.Y.: IEEE, 2018. P. 8565014.
97. *Wang Y., Dong L., Guo X. et al.* // Proc. 2014 12th IEEE Int. Conf. on Solid-State and Integrated Circuit Technology (IC SICT). Guilin. 28–31 Oct. N.Y.: IEEE, 2014. P. 7021301.
98. *Marin R., Frappé A., Stefanelli B. et al.* // IEEE Trans. 2019. V. MTT-67. № 7. P. 3200.
99. *Shi Z.* // Digest of Papers 1999 IEEE Radio Frequency Integrated Circuits Symp. (RFIC). Anaheim. 14–15 June. N.Y.: IEEE, 1999. P. 57.
100. *Taleie S.M., Copani T., Bakkaloglu B. et al.* // IEEE Trans. 2008. V. MTT-56. № 5. P. 1059.
101. *Flament A., Frappe A., Kaiser A. et al.* // Proc. Europ. Solid-State Circuits Conf. Edinburgh. 15–19 Sept. N.Y.: IEEE, 2008. P. 418.
102. *Sadeghifar M.R., Afzal N., Wikner J.J.* // Proc. IEEE 20th Int. Conf. on Electronics, Circuits, Systems. Abu Dhabi. 8–11 Dec. N.Y.: IEEE, 2013. P. 641.